

日本国特許庁
JAPAN PATENT OFFICE

J1046 U.S. PRO
10/08231
02/26/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application: 2001年 5月11日

出願番号
Application Number: 特願2001-140822

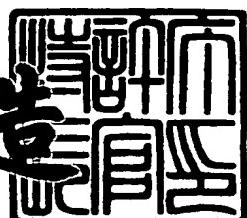
[ST.10/C]: [JP 2001-140822]

出願人
Applicant(s): 株式会社日立製作所
日立東京エレクトロニクス株式会社

2002年 2月15日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-3007813

【書類名】 特許願

【整理番号】 H01008251

【提出日】 平成13年 5月11日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/00

【発明者】

【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

【氏名】 才川 健志

【発明者】

【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

【氏名】 前野 亮平

【発明者】

【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

【氏名】 奥平 定之

【発明者】

【住所又は居所】 東京都青梅市藤橋3丁目3番地2 日立東京エレクトロニクス株式会社内

【氏名】 齊藤 哲夫

【発明者】

【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

【氏名】 田丸 剛

【発明者】

【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

【氏名】 大森 一稔

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233505

【氏名又は名称】 日立東京エレクトロニクス株式会社

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 基板の第1主面上に第1絶縁膜を形成した後、前記基板の第2主面上に第2絶縁膜を形成し、その後前記基板の第1主面上に配線層を形成することを特徴とする半導体装置の製造方法。

【請求項2】 基板の第1主面上に第1絶縁膜を形成した後、前記基板のペベル部に第2絶縁膜を形成し、その後前記基板の第1主面上に配線層を形成することを特徴とする半導体装置の製造方法。

【請求項3】 基板の第1主面上に第1絶縁膜を形成した後、前記基板の第2主面上およびペベル部に第2絶縁膜を形成し、その後前記基板の第1主面上に配線層を形成することを特徴とする半導体装置の製造方法。

【請求項4】 請求項1記載の半導体装置の製造方法において、前記第2絶縁膜は、前記基板の第2主面の全域または一部領域に形成されることを特徴とする半導体装置の製造方法。

【請求項5】 請求項4記載の半導体装置の製造方法において、前記第2絶縁膜は、プラズマCVD法で形成されたTEOS酸化膜、シリコン窒化膜またはシリコン酸化膜であることを特徴とする半導体装置の製造方法。

【請求項6】 請求項4記載の半導体装置の製造方法において、前記第2絶縁膜の厚さは、約100nm以上であることを特徴とする半導体装置の製造方法。

【請求項7】 請求項4記載の半導体装置の製造方法において、前記第1絶縁膜は、前記基板の第1主面上に形成されたMISFETのゲート絶縁膜およびゲート電極を覆うことを特徴とする半導体装置の製造方法。

【請求項8】 請求項2記載の半導体装置の製造方法において、前記第2絶縁膜は、前記基板のペベル部の全域または一部領域に形成されることを特徴とする半導体装置の製造方法。

【請求項9】 請求項8記載の半導体装置の製造方法において、前記第2絶縁膜は、プラズマCVD法で形成されたTEOS酸化膜、シリコン窒化膜または

シリコン酸化膜であることを特徴とする半導体装置の製造方法。

【請求項10】 請求項8記載の半導体装置の製造方法において、前記第2絶縁膜の厚さは、約100nm以上であることを特徴とする半導体装置の製造方法。

【請求項11】 請求項8記載の半導体装置の製造方法において、前記第1絶縁膜は、前記基板の第1主面上に形成されたMISFETのゲート絶縁膜およびゲート電極を覆うことを特徴とする半導体装置の製造方法。

【請求項12】 請求項3記載の半導体装置の製造方法において、前記第2絶縁膜は、前記基板の第2主面およびベベル部の全域、前記基板の第2主面の全域およびベベル部の一部領域、前記基板の第2主面の一部領域およびベベル部の全域、または前記基板の第2主面およびベベル部の一部領域に形成されることを特徴とする半導体装置の製造方法。

【請求項13】 請求項12記載の半導体装置の製造方法において、前記第2絶縁膜は、プラズマCVD法で形成されたTEOS酸化膜、シリコン窒化膜またはシリコン酸化膜であることを特徴とする半導体装置の製造方法。

【請求項14】 請求項12記載の半導体装置の製造方法において、前記第2絶縁膜の厚さは、約100nm以上であることを特徴とする半導体装置の製造方法。

【請求項15】 請求項12記載の半導体装置の製造方法において、前記第1絶縁膜は、前記基板の第1主面上に形成されたMISFETのゲート絶縁膜およびゲート電極を覆うことを特徴とする半導体装置の製造方法。

【請求項16】 (a) 基板の第1主面上に第1絶縁膜を形成する工程と、
(b) 前記基板の第2主面上に第2絶縁膜を形成する工程と、
(c) 前記第1絶縁膜をCMP法で研磨する工程とを有し、
前記(c)工程の後に、前記基板の第1主面上に配線層を形成することを特徴とする半導体装置の製造方法。

【請求項17】 請求項16記載の半導体装置の製造方法において、前記基板の第2主面上に形成された第2絶縁膜は、前記基板のベベル部を被覆することを特徴とする半導体装置の製造方法。

【請求項18】 請求項16記載の半導体装置の製造方法において、前記第2絶縁膜は、プラズマCVD法で形成されたTEOS酸化膜、シリコン窒化膜またはシリコン酸化膜であることを特徴とする半導体装置の製造方法。

【請求項19】 請求項16記載の半導体装置の製造方法において、前記第2絶縁膜の厚さは、約100nm以上であることを特徴とする半導体装置の製造方法。

【請求項20】 請求項16記載の半導体装置の製造方法において、前記(c)工程に先立ち、前記基板に洗浄処理が施されることを特徴とする半導体装置の製造方法。

【請求項21】 請求項20記載の半導体装置の製造方法において、前記洗浄処理は、ブラシ方式または超音波方式で行われることを特徴とする半導体装置の製造方法。

【請求項22】 (a) 基板の第1主面上に第1絶縁膜を形成する工程と、
(b) 前記基板の第2主面上に第2絶縁膜を形成する工程と、
(c) 前記第1絶縁膜をCMP法で研磨した後、前記第1絶縁膜の所定の領域に接続孔を形成する工程と、
(d) 前記基板の第1主面上に第1金属膜を形成した後、前記第1金属膜をCMP法で研磨し、前記接続孔の内部にプラグを形成する工程と、
(e) 前記基板の第1主面上に第2金属膜を形成した後、前記第2金属膜をエッチングして配線層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項23】 請求項22記載の半導体装置の製造方法において、前記配線層は、タンクステンまたはアルミニウムを主導体層とすることを特徴とする半導体装置の製造方法。

【請求項24】 (a) 基板の第1主面上に第1絶縁膜を形成する工程と、
(b) 前記基板の第2主面上に第2絶縁膜を形成する工程と、
(c) 前記第1絶縁膜をCMP法で研磨した後、前記第1絶縁膜の所定の領域に接続孔を形成する工程と、
(d) 前記基板の第1主面上に金属膜を形成した後、前記金属膜をエッチングし

て配線層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項25】 請求項24記載の半導体装置の製造方法において、前記配線層は、タングステンまたはアルミニウムを主導体層とすることを特徴とする半導体装置の製造方法。

【請求項26】 (a) 基板の第1主面上に第1絶縁膜を形成する工程と、

(b) 前記基板の第2主面上に第2絶縁膜を形成する工程と、

(c) 前記第1絶縁膜をCMP法で研磨した後、前記第1絶縁膜の所定の領域に接続孔を形成する工程と、

(d) 前記基板の第1主面上に第1金属膜を形成した後、前記第1金属膜をCMP法で研磨し、前記接続孔の内部にプラグを形成する工程と、

(e) 前記基板の第1主面上に第3絶縁膜を形成した後、前記第3絶縁膜の所定の領域に配線溝を形成する工程と、

(f) 前記基板の第1主面上に第2金属膜を形成した後、前記第2金属膜をCMP法で研磨し、前記配線溝の内部に配線層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項27】 請求項26記載の半導体装置の製造方法において、前記配線層は、銅を主導体層とすることを特徴とする半導体装置の製造方法。

【請求項28】 (a) 基板の第1主面上に第1絶縁膜を形成する工程と、

(b) 前記基板の第2主面上に第2絶縁膜を形成する工程と、

(c) 前記第1絶縁膜をCMP法で研磨した後、前記基板の第1主面上に第3絶縁膜を形成する工程と、

(d) 前記第3絶縁膜の所定の領域に配線溝を形成し、前記第1絶縁膜の所定の領域に接続孔を形成する工程と、

(e) 前記基板の第1主面上に金属膜を形成した後、前記金属膜をCMP法で研磨し、前記配線溝および前記接続孔の内部に接続部材と一体に配線層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項29】 請求項28記載の半導体装置の製造方法において、前記配線層は、銅を主導体層とすることを特徴とする半導体装置の製造方法。

【請求項30】 (a) 基板の第1主面上に第1絶縁膜を形成した後、前記

第1絶縁膜の所定の領域に接続孔を形成する工程と、

- (b) 前記基板の第1主面上に金属膜を形成する工程と、
- (c) 前記基板の第2主面上に第2絶縁膜を形成する工程と、
- (d) 前記金属膜をCMP法で研磨し、前記接続孔の内部にプラグを形成する工程とを有し、

前記(d)工程の後に、前記基板の第1主面上に配線層を形成することを特徴とする半導体装置の製造方法。

【請求項31】 請求項30記載の半導体装置の製造方法において、前記基板の第2主面上に形成された第2絶縁膜は、前記基板のベベル部を被覆することを特徴とする半導体装置の製造方法。

【請求項32】 請求項30記載の半導体装置の製造方法において、前記第2絶縁膜は、プラズマCVD法で形成されたTEOS酸化膜、シリコン窒化膜またはシリコン酸化膜であることを特徴とする半導体装置の製造方法。

【請求項33】 請求項30記載の半導体装置の製造方法において、前記第2絶縁膜の厚さは、約100nm以上であることを特徴とする半導体装置の製造方法。

【請求項34】 請求項30記載の半導体装置の製造方法において、前記プラグは、タンクスチン、アルミニウムまたは銅を主導体層とすることを特徴とする半導体装置の製造方法。

【請求項35】 請求項30記載の半導体装置の製造方法において、前記(d)工程に先立ち、前記基板に洗浄処理が施されることを特徴とする半導体装置の製造方法。

【請求項36】 請求項35記載の半導体装置の製造方法において、前記洗浄処理は、ブラシ方式または超音波方式で行われることを特徴とする半導体装置の製造方法。

【請求項37】 (a) 基板の第1主面上に第1絶縁膜を形成した後、前記第1絶縁膜の所定の領域に接続孔を形成する工程と、

- (b) 前記基板の第1主面上に第1金属膜を形成する工程と、
- (c) 前記基板の第2主面上に第2絶縁膜を形成する工程と、

(d) 前記第1金属膜をCMP法で研磨し、前記接続孔の内部にプラグを形成する工程と、

(e) 前記基板の第1主面上に第2金属膜を形成した後、前記第2金属膜をエッチングして配線層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項38】 請求項37記載の半導体装置の製造方法において、前記配線層は、タンクスチンまたはアルミニウムを主導体層とすることを特徴とする半導体装置の製造方法。

【請求項39】 請求項37記載の半導体装置の製造方法において、前記プラグは、タンクスチン、アルミニウムまたは銅を主導体層とすることを特徴とする半導体装置の製造方法。

【請求項40】 (a) 基板の第1主面上に第1絶縁膜を形成した後、前記第1絶縁膜の所定の領域に接続孔を形成する工程と、

(b) 前記基板の第1主面上に第1金属膜を形成する工程と、

(c) 前記基板の第2主面上に第2絶縁膜を形成する工程と、

(d) 前記第1金属膜をCMP法で研磨し、前記接続孔の内部にプラグを形成する工程と、

(e) 前記基板の第1主面上に第3絶縁膜を形成した後、前記第3絶縁膜の所定の領域に配線溝を形成する工程と、

(f) 前記基板の第1主面上に第2金属膜を形成した後、前記第2金属膜をCMP法で研磨し、前記配線溝の内部に配線層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項41】 請求項40記載の半導体装置の製造方法において、前記配線層は、銅を主導体層とすることを特徴とする半導体装置の製造方法。

【請求項42】 請求項40記載の半導体装置の製造方法において、前記プラグは、タンクスチン、アルミニウムまたは銅を主導体層とすることを特徴とする半導体装置の製造方法。

【請求項43】 (a) 基板の第1主面上にMISFETのゲート絶縁膜およびゲート電極を形成する工程と、

- (b) 前記基板の第1主面上に第1絶縁膜を形成する工程と、
- (c) 前記基板の第2主面上に第2絶縁膜を形成した後、前記基板に洗浄処理を施す工程と、
- (d) 前記第1絶縁膜をエッチングすることにより、前記MISFETのゲート電極の側壁にサイドウォールスペーサを形成する工程と、
- (e) 前記MISFETのソース、ドレインを形成する工程と、
- (f) 前記基板の第1主面上に第3絶縁膜を形成した後、前記第3絶縁膜の所定の領域に接続孔を形成する工程と、
- (g) 前記基板の第1主面上に配線層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項44】 請求項43記載の半導体装置の製造方法において、前記(c)工程で前記基板に施される洗浄処理は、ブラシ方式または超音波方式で行われることを特徴とする半導体装置の製造方法。

- 【請求項45】 (a) 基板の第1主面上にMISFETのゲート絶縁膜を形成する工程と、
(b) 前記基板の第1主面上に導電膜を形成する工程と、
(c) 前記基板の第2主面上に第1絶縁膜を形成した後、前記基板に洗浄処理を施す工程と、
(d) 前記導電膜をエッチングすることにより、前記MISFETのゲート電極を形成する工程と、
(e) 前記基板の第1主面上に第2絶縁膜を形成した後、前記第2絶縁膜をエッチングすることにより、前記MISFETのゲート電極の側壁にサイドウォールスペーサを形成する工程と、
(f) 前記MISFETのソース、ドレインを形成する工程と、
(g) 前記基板の第1主面上に第3絶縁膜を形成した後、前記第3絶縁膜の所定の領域に接続孔を形成する工程と、
(h) 前記基板の第1主面上に配線層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項46】 請求項45記載の半導体装置の製造方法において、前記(c)

c) 工程で前記基板に施される洗浄処理は、ブラシ方式または超音波方式で行われることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造技術に関し、特に、プラズマを用いた製造工程を有する半導体装置の製造方法に適用して有効な技術に関する。

【0002】

【従来の技術】

薄いゲート絶縁膜はMISFET (metal insulator semiconductor field effect transistor) にとって不可欠なものである。ゲート絶縁膜が薄くなると単位面積当たりのゲート容量が増加し、ゲート電極と基板表面との間の結合が改善されて、反転層の電荷密度およびドレイン電流が増加する。すなわち、ゲート絶縁膜を薄くすることによりMISFETの相互コンダクタンスを改善することができる。

【0003】

しかしながら、ゲート絶縁膜が10nmよりも薄くなると、一方でゲート絶縁膜の破壊現象が問題となり、半導体装置の信頼性の低下を招いてしまう。本発明者が検討したところ、特にプラズマCVD (chemical vapor deposition) またはプラズマエッチングなどのプラズマを用いた製造工程において発生するゲート絶縁膜の絶縁破壊が、深刻な問題となることが明らかとなった。

【0004】

この原因の1つとして、プラズマからの電子または正イオンによる基板上でのチャージアップが考えられる。すなわち、プラズマ反応において基板上に発生した電荷が、基板さらには基板が置かれた製造装置のサセプタを通して接地電位へ流れるためにゲート絶縁膜が破壊されると考えられる。そこで、基板上における上記チャージアップの発生を防止するには、基板と製造装置のサセプタとの間に絶縁膜を設けることによって、これら両者間を流れる電荷を低減することが重要なとなる。

【0005】

なお、佐々木らの特開平7-106306号公報には、イオンエッチング装置において、下部電極の表面にポリミイド膜を被着し、このポリミイド膜上にウエハを設置する構造とすることで、ウエハへの印可電圧をポリミイド膜、ブロッキングコンデンサ、ウエハに分散させる方法が開示されている。

【0006】

また、中島らの特開平8-111409号公報には、半導体ウエハの表面に少なくとも最初のCVD法による成膜を行う工程の前に半導体ウエハの裏面に半導体ウエハ材料の酸化膜を形成し、半導体ウエハの裏面の酸化膜を少なくとも最後のCVD法による成膜工程のあとまでそのまま残存させて、半導体ウエハのソリを極力抑える方法が開示されている。

【0007】

また、小川の特開平9-45680号公報には、半導体基板の表面に高融点金属薄膜を成膜した後、半導体基板の裏面全体に引っぱり応力を有する絶縁膜を堆積させることにより、シリコン基板ウエハの反り量を低減させる方法が開示されている。

【0008】

また、松本らの特開2000-91175号公報には、ウエハ正面の周辺部、外周面及び裏面に銅(Cu)拡散係数の小さい材料からなる保護膜を形成することによって、熱処理により発生する銅などがウエハに拡散するのを防ぐ方法が述べられている。

【0009】

また、青木の特開2000-150640号公報には、半導体基板の裏面にシリコン酸化膜等のバリア膜を形成し、その後、半導体基板の正面に銅系金属膜を形成することにより、半導体基板の裏面に付着した金属汚染物による素子の特性劣化や電流リークを防止する方法が述べられている。

【0010】

【発明が解決しようとする課題】

プラズマを用いた製造装置では、反応室のサセプタ上にウエハを載せて、プラ

ズマCVDまたはプラズマエッティングなどの製造が行われる。一般にサセプタ上は、たとえば $10\text{ }\mu\text{m}$ 程度の厚さの絶縁膜によって覆われており、ウエハと製造装置のサセプタとの間は絶縁されている。しかしながら、本発明者が検討したところ、サセプタ上の絶縁膜は、その使用頻度の増加に伴って劣化し、局所的にピンホールが形成されて、ウエハからサセプタへの電流経路が生ずることが明らかとなった。

【0011】

また、静電吸着方式を採用しているプラズマを用いた製造装置では、ウエハの吸着力を強めるため、およびウエハをサセプタから剥がれやすくするために、サセプタに導電率が数十～数百 $M\Omega\text{ cm}$ の導電性セラミックを使用していることが多く、この場合、ウエハとサセプタとの間を電荷が容易に流れため、チャージアップダメージの問題を避けることができない。

【0012】

さらに、ウエハと製造装置のサセプタとの間に設けられる絶縁膜、たとえばウエハの裏面に形成される絶縁膜に関する種々の検討は行われているが、プラズマ反応によって基板上に発生するチャージアップの低減を目的とし、さらに半導体装置の製造工程を含めた検討はこれまで充分には行われていない。このため、プラズマに起因したチャージアップの低減が、高集積化された半導体装置において重要な課題として残されている。

【0013】

本発明の目的は、プラズマを用いた製造工程における基板へのチャージアップダメージを低減し、半導体装置の信頼性を向上することのできる技術を提供することにある。

【0014】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば

、次のとおりである。

【0016】

本発明は、基板の第1主面上に形成されたMISFETのゲート絶縁膜およびゲート電極を覆って第1絶縁膜を形成した後、基板の第2主面上、基板のベベル部、または基板の第2主面上およびベベル部に第2絶縁膜を形成し、その後基板の第1主面上に配線層を形成するものである。上記第2絶縁膜は、プラズマCVD法で形成されたTEOS酸化膜、シリコン窒化膜またはシリコン酸化膜で構成され、その厚さは、約100nm以上が好ましい。

【0017】

さらに本願のその他の発明の概要を項に分けて簡単に示す。

1. (a) 基板の第1主面上に第1絶縁膜を形成する工程と、(b) 基板の第2主面上に第2絶縁膜を形成する工程と、(c) 第1絶縁膜をCMP法で研磨する工程とを有し、前記(c)工程の後に、基板の第1主面上に配線層を形成することを特徴とする半導体装置の製造方法。
2. (a) 基板の第1主面上に第1絶縁膜を形成した後、第1絶縁膜の所定の領域に接続孔を形成する工程と、(b) 基板の第1主面上に金属膜を形成する工程と、(c) 基板の第2主面上に第2絶縁膜を形成する工程と、(d) 上記金属膜をCMP法で研磨し、接続孔の内部にプラグを形成する工程とを有し、前記(d)工程の後に、基板の第1主面上に配線層を形成することを特徴とする半導体装置の製造方法。
3. 前記第1項または第2項において、前記第2絶縁膜は、基板のベベル部を被覆することを特徴とする半導体装置の製造方法。
4. 前記第1項または第2項において、前記第2絶縁膜は、プラズマCVD法で形成されたTEOS酸化膜、シリコン窒化膜またはシリコン酸化膜であることを特徴とする半導体装置の製造方法。
5. 前記第1項において、前記(c)工程に先立ち、基板に洗浄処理が施されることを特徴とする半導体装置の製造方法。
6. 前記第2項において、前記(d)工程に先立ち、基板に洗浄処理が施されることを特徴とする半導体装置の製造方法。

【0018】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0019】

なお、本願において、半導体装置というときは、特に単結晶シリコン基板上に作られるものだけではなく、特にそうでない旨が明示された場合を除き、S O I (silicon on insulator) 基板やT F T (thin film transistor) 液晶製造用基板などといった他の基板上に作られるものを含むものとする。

【0020】

また、本願で基板の表面とは、半導体集積回路が形成される基板の第1主面を言い、裏面とは、上記第1主面の裏側となる基板の第2主面を言い、ベベル部とは、上記第1主面を延長した面および上記第2主面を延長した面のいずれにも属さない面を言う。

【0021】

さらに、以下の実施の形態において、要素の数等（個数、数値、量、範囲などを含む）に言及する場合、特に明示したときおよび原理的に明らかに特定の数に限定されるときを除き、その特性の数に限定されるものではなく、特定の数以上でも以下でもよい。さらに、以下の実施の形態において、その構成要素（要素ステップ等を含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合を除き、必ずしも必須のものではないことはいうまでもない。

【0022】

同様に、以下の実施の形態において、構成要素などの形状、位置関係などに言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合を除き、実質的にその形状などに近似または類似するものなどを含むものとする。このことは、上記数値および範囲についても同様である。

【0023】

(実施の形態1)

図1は、ウエハ上に形成されたMISFETのゲート電流-ゲート電圧特性から得られるゲート絶縁膜の耐圧（ゲート電流が 10^{-9} Aにおけるゲート電圧）のウエハ面内分布の一例を示す図である。測定に用いたMISFETは、シリコン単結晶で構成される8インチのウエハ上に形成され、4nm程度の厚さのゲート絶縁膜を有している。また、そのゲート電極上にはチャージアップダメージが相対的に大きくなるプラズマ条件を用いたプラズマCVD法で第1絶縁膜が形成されており、さらにゲート電極に対して約20000倍の大きさで、かつゲート電極と同一層の導電膜で構成されるアンテナ電極が、各々のゲート電極に繋がっている。図1(a)に、ウエハの裏面に第2絶縁膜を設けない場合のMISFETのゲート絶縁膜の耐圧分布図を示し、同図(b)に、第1絶縁膜の成膜前に、ウエハの裏面に300nm程度の厚さの第2絶縁膜を形成した場合のMISFETのゲート絶縁膜の耐圧分布図を示す。図中、太い黒枠で囲んだ領域は耐圧不良のチップを示す。

【0024】

上記第1絶縁膜は、平行平板プラズマ装置を用いて、TEOS (*tetra ethyl ortho silicate*: Si (OC_2H_5)₄) と酸素 (O_2) とをソースガスとしたプラズマCVD法で堆積されたTEOS酸化膜で構成される。第1絶縁膜のプラズマ条件として、たとえばrfパワー600~700W、圧力5Torr程度を用いることができる。上記第2絶縁膜は、第1絶縁膜と同様に、平行平板プラズマ装置を用いて、TEOSと酸素とをソースガスとしたプラズマCVD法で堆積されたTEOS酸化膜で構成される。

【0025】

図1に示すように、ウエハの裏面に300nm程度の厚さの第2絶縁膜を設けることによってゲート絶縁膜の耐圧歩留まりが改善しており、第1絶縁膜を形成する際のチャージアップダメージが低減されて、4nm程度の相対的に薄いゲート絶縁膜の耐圧の劣化や絶縁破壊を低減できることがわかる。

【0026】

図2は、枚葉式平行平板プラズマCVD装置を用いてウエハの裏面に形成されたTEOS酸化膜の被覆性の一例を示すウエハの要部断面図であり、図3は、ウ

エハの表面の端部（前記図2に示したA点）から中央部に向かってウエハの表面に被覆したTEOS酸化膜の厚さを示すグラフ図である。

【0027】

図2に示すように、ウエハ1の裏面1aに2000nm程度のTEOS酸化膜2を形成すると、ベベル部3には1400nm程度のTEOS酸化膜2が形成される。さらに、図3に示すように、ウエハ1の表面1bの端部A点では250～300nm程度のTEOS酸化膜2が形成され、徐々に薄くなりながらもTEOS酸化膜2はウエハ1の表面1bの端部A点から約1000μmまでの周辺部に形成されており、ベベル部3をTEOS酸化膜2によって完全に覆うことができる。

【0028】

図4は、絶縁膜がウエハの裏面に形成された第1の例、絶縁膜がウエハのベベル部に形成された第2の例、ならびに絶縁膜がウエハの裏面およびベベル部に形成された第3の例を示すウエハの平面図および一部断面図である。図中、絶縁膜の成膜領域を網掛けのハッチングで示す。

【0029】

なお、図4では、ウエハ1の裏面1aの全域、ベベル部3の全域、または裏面1aおよびベベル部3の全域に絶縁膜4を成膜したウエハ1の平面図を示したが、必ずしも裏面1aまたはベベル部3の全域に限られるものではなく、たとえば裏面1aの一部またはベベル部3の一部に絶縁膜4を成膜しない領域を設けてよい。たとえば、バッチ式熱CVD装置を用いてウエハ1の裏面1aに絶縁膜を形成すると、図5に示すように、ウエハ1の支持部に絶縁膜4は成膜されないが、このようなウエハ1も前記第3の例に含まれる。同様に、裏面1aの全域とベベル部3の一部領域とに絶縁膜4が成膜されたウエハ1、および裏面1aの一部領域とベベル部3の全域とに絶縁膜4が成膜されたウエハ1も前記第3の例に含むことができる。

【0030】

図6～図8は、ウエハ上に形成されたMISFETのゲート電流－ゲート電圧特性から得られるゲート絶縁膜の耐圧のウエハ面内分布の一例を示す図である。

測定に用いたMISFETおよび測定方法は、前記図1の説明で記載したMISFETと同様であるが、ゲート電極上に形成された第1絶縁膜は、前記図1の説明で記載した第1絶縁膜とは異なるプラズマ装置およびプラズマ条件で形成されている。

【0031】

図6に、ウエハの裏面およびベベル部に第2絶縁膜を設けない場合のMISFETのゲート絶縁膜の耐圧分布図を示し、図7(a)、(b)および(c)に、第1絶縁膜の成膜前に、ウエハの裏面の一部領域およびベベル部の全域に第2絶縁膜を形成した場合のMISFETのゲート絶縁膜の耐圧分布図、ウエハ裏面の平面図およびウエハ周辺部の断面図をそれぞれ示し、図8(a)、(b)および(c)に、第1絶縁膜の成膜前に、ウエハの裏面の全域に第2絶縁膜を形成した場合のMISFETのゲート絶縁膜の耐圧分布図、ウエハ裏面の平面図およびウエハ周辺部の断面図をそれぞれ示す。ゲート絶縁膜の耐圧分布図では、耐圧不良のチップを太い黒枠で囲んで示し、ウエハ周辺部の断面図では、ウエハおよび第2絶縁膜のみを示す。また、図中、第2絶縁膜の成膜領域を網掛けのハッチングで示す。

【0032】

図7に示した第2絶縁膜5は、まずウエハ1の裏面1aでの厚さが100nm程度となるように、ウエハ1の裏面1aの全域とベベル部3の全域にTEOS酸化膜を成膜した後、ウエハ1の中央部のTEOS酸化膜をウェットエッティングで除去することにより形成される。また、図8に示した第2絶縁膜6は、まずウエハ1の裏面1aでの厚さが100nm程度となるように、ウエハ1の裏面1aの全域とベベル部3の全域にTEOS酸化膜を成膜した後、ベベル部3のTEOS酸化膜をウェットエッティングで除去することにより形成される。

【0033】

図6～図8に示すように、ウエハ1の裏面1aの一部領域およびベベル部3の全域に第2絶縁膜5を設けることによってゲート絶縁膜の耐圧歩留まりが49.6%から75.2%に向上し、またウエハ1の裏面1aの全域に第2絶縁膜6を設けることによってゲート絶縁膜の耐圧歩留まりが49.6%から86.8%に向

上する。これにより、ウエハ1の裏面1aまたはベベル部3に第2絶縁膜5, 6を形成することで、第1絶縁膜を形成する際のチャージアップダメージが低減されることがわかる。

【0034】

次に、図9を用いて、ウエハの裏面に絶縁膜を設けることによってプラズマ処理工程におけるチャージアップダメージが低減するメカニズムを説明する。

【0035】

図9に示すように、ウエハ7とプラズマ8との電位差によってウエハ7上に電荷が蓄積すると、この電荷が、ウエハ7さらにはウエハ7を載せる製造装置のサセプタ9を通してグランドへ流れ、たとえばMISFETのゲート絶縁膜が破壊されると考えられる（第1のモード）。そこで、ウエハ7の裏面に絶縁膜を形成することにより、電流の経路を遮断してチャージアップを抑制することができる。

【0036】

次に、図10を用いて、ウエハのベベル部に絶縁膜を設けることによってプラズマ処理工程におけるチャージアップダメージが低減するメカニズムを説明する。

【0037】

図10に示すように、ウエハ7の主面上においてプラズマが不均一になると、ウエハ7のベベル部を覆うプラズマ8とウエハ7の主面上でのプラズマ8aとの間に電位差が生じ、ウエハ7のバルク内を電荷が流れ、たとえばMISFETのゲート絶縁膜が破壊されると考えられる（第2のモード）。そこで、ウエハ7のベベル部に絶縁膜を形成することにより、電流の経路を遮断してチャージアップを抑制することができる。

【0038】

すなわち、ウエハの裏面に形成された絶縁膜は上記第1のモードに効果があり、ウエハのベベル部に形成された絶縁膜は上記第2のモードに効果があることから、それぞれが単独でチャージアップダメージの低減に寄与する。従って、ウエハの裏面およびベベル部の両方に絶縁膜を形成することがチャージアップダメー

ジの低減に最も効果があると考えられる。

【0039】

さらに、ウエハの裏面およびベベル部に形成された絶縁膜によるチャージアップダメージの低減効果の程度は、チャージアップダメージを与える製造装置により異なる。すなわち、プラズマとウエハとの電位差に起因したチャージアップダメージが発生するプラズマ処理ではウエハの裏面の絶縁膜が低減効果を有し、プラズマのウエハ面内分布の不均一性に起因したチャージアップダメージが発生するプラズマ処理ではウエハのベベル部の絶縁膜が低減効果を有する。

【0040】

次に、本実施の形態1であるCMOS (complementary metal oxide semiconductor) デバイスの製造方法を図11～図26に示した基板の要部断面図を用いて工程順に説明する。

【0041】

まず、図11に示すように、たとえばp⁻型のシリコン単結晶からなる基板11を用意する。次に、この基板11を熱酸化してその表面に厚さ0.01μm程度の薄いシリコン酸化膜を形成し、続いてその上層にCVD法で厚さ0.1μm程度のシリコン窒化膜を堆積する。この後、パターニングされたフォトレジスト膜をマスクとしてシリコン窒化膜、シリコン酸化膜および基板11を順次ドライエッチングすることにより、基板11に深さ0.35μm程度の素子分離溝を形成する。

【0042】

次に、基板11上にCVD法でシリコン酸化膜を堆積した後、シリコン酸化膜をCMP (chemical mechanical polishing) 法で研磨して、上記素子分離溝の内部にシリコン酸化膜を残すことにより、基板11の主面に素子分離領域12を形成する。続いて、基板11を約1000°Cでアニールすることにより、素子分離溝に埋め込んだシリコン酸化膜をデンシファイ（焼き締め）する。

【0043】

次に、図12に示すように、パターニングされたフォトレジスト膜をマスクとして不純物をイオン注入し、pウェル13およびnウェル14を形成する。pウ

エル13にはp型の導電型を示す不純物、たとえばボロン（B）をイオン注入し、nウェル14にはn型の導電型を示す不純物、たとえばリン（P）をイオン注入する。この後、各ウェル領域にMISFETのしきい値を制御するための不純物をイオン注入してもよい。

【0044】

次に、図13に示すように、ゲート絶縁膜15となるシリコン酸化膜、ゲート電極16となるシリコン多結晶膜およびキャップ絶縁膜17となるシリコン酸化膜を順次堆積して積層膜を形成し、パターニングされたフォトレジスト膜をマスクとして上記積層膜をドライエッチングする。これにより、ゲート絶縁膜15、ゲート電極16およびキャップ絶縁膜17を形成する。ゲート絶縁膜15は、たとえば熱酸化法または熱CVD法により形成することができ、ゲート電極16は、たとえばCVD法により形成することができる。

【0045】

ゲート電極16の抵抗値を低減するために、MISFETのチャネル型に応じてn型またはp型の不純物を上記シリコン多結晶膜へドープしてもよい。すなわち、nチャネルMISFETのゲート電極にはn型不純物を、pチャネルMISFETのゲート電極にはp型不純物をドープしてもよい。なお、ゲート電極16の上部に高融点金属シリサイド膜を積層してもよく、窒化チタン（TiN）、窒化タングステン（WN）等のバリアメタル層を介してタングステン（W）等の金属層を形成してもよい。

【0046】

次に、図14に示すように、基板11上に、たとえばCVD法でシリコン酸化膜を堆積した後、このシリコン酸化膜を異方性エッチングすることにより、ゲート電極16の側壁にサイドウォールスペーサ18を形成する。その後、パターニングされたフォトレジスト膜をマスクとして、pウェル13にn型不純物（たとえばリン、ヒ素（As））をイオン注入し、pウェル13上のゲート電極16の両側にn型半導体領域19を形成する。n型半導体領域19は、ゲート電極16およびサイドウォールスペーサ18に対して自己整合的に形成され、nチャネルMISFETのソース、ドレインとして機能する。

【0047】

同様に、パターニングされたフォトレジスト膜をマスクとして、nウェル14にp型不純物（たとえばフッ化ボロン（BF₂））をイオン注入し、nウェル14上のゲート電極16の両側にp型半導体領域20を形成する。p型半導体領域20は、ゲート電極16およびサイドウォールスペーサ18に対して自己整合的に形成され、pチャネルMISFETのソース、ドレインとして機能する。

【0048】

次に、図15に示すように、基板11上にシリコン酸化膜21を形成する。シリコン酸化膜21は、たとえばTEOSと酸素とをソースガスに用いたプラズマCVD法で堆積されたTEOS酸化膜、またはモノシラン（SiH₄）と酸素とをソースガスに用いた高密度プラズマCVD法で堆積されたシリコン酸化膜で構成される。ここで、シリコン酸化膜21の形成にチャージアップダメージが相対的に大きいプラズマ反応を用いても、基板11上のMISFETのゲート絶縁膜15に接する電極（ゲート電極16）がアンテナ構造となっていないため、電極に集まる電荷量が相対的に少なく、ゲート絶縁膜15は破壊され難い。

【0049】

次に、図16に示すように、基板11の裏面に、たとえば300nm程度の厚さの絶縁膜22を形成する。絶縁膜22は、プラズマCVD法で堆積されるTEOS酸化膜、シリコン窒化膜またはシリコン酸化膜などを例示することができる。絶縁膜22は、たとえば枚葉式平行平板プラズマ装置の反応室内のサセプタ上に裏面を上にして基板11を平置きにして成膜される。これにより、主として基板11の裏面およびベベル部に絶縁膜22が形成される。

【0050】

次に、図17に示すように、シリコン酸化膜21を、たとえばCMP法で研磨することにより、その表面を平坦化し、同時に、基板11の表面（シリコン酸化膜21の表面）に付着したパーティクルを除去する。すなわち、前述したように、基板11の裏面に絶縁膜22を成膜する際、基板11の表面を下にしてプラズマ装置のサセプタ上に基板11を載せるため、基板11の表面にパーティクルが付着する。しかし、基板11の裏面に絶縁膜22を成膜した後に、シリコン酸化

膜21の表面をCMP法で研磨することによって、シリコン酸化膜21の表面の平坦化工程にパーティクルの除去工程を兼ねることができる。なお、CMP法でシリコン酸化膜21の表面を研磨する前に洗浄工程を設けてもよい。

【0051】

次に、図18に示すように、パターニングされたフォトレジスト膜をマスクとしたドライエッチング法によってシリコン酸化膜21に接続孔23を形成する。この接続孔23は、ゲート電極16、n型半導体領域19またはp型半導体領域20上などの必要部分に形成する。

【0052】

次に、接続孔23の内部を含む基板11の全面に窒化チタン膜を、たとえばCVD法で形成し、さらに接続孔23を埋め込むタングステン膜を、たとえばCVD法で形成する。その後、接続孔23以外の領域の窒化チタン膜およびタングステン膜を、たとえばCMP法により除去して接続孔23の内部にプラグ24を形成する。なお、上記タングステン膜にかえて、アルミニウム(A1)膜または銅膜を主導体層としてプラグ24を構成してもよい。

【0053】

続いて、基板11の全面に、たとえばタングステン膜を形成した後、パターニングされたフォトレジスト膜をマスクとしたドライエッチング法によってタングステン膜を加工し、第1配線層の配線25を形成する。タングステン膜は、CVD法またはスパッタ法により形成できる。なお、上記タングステン膜にかえて、アルミニウム膜を主導体層として第1配線層を構成してもよい。

【0054】

この第1配線層の配線25を形成することで、ゲート電極16に接続した配線25によるアンテナ効果が発生し、後の工程、たとえばプラズマCVD法またはスパッタ法による成膜工程、あるいはドライエッチング法による加工工程において、チャージアップダメージによるMISFETのゲート絶縁膜15の絶縁破壊などが懸念される。しかし、シリコン酸化膜21のCMP工程の前に基板11の裏面およびベベル部に形成された絶縁膜22によって、チャージアップダメージは低減されて、上記ゲート絶縁膜15の破壊を防ぐことができる。

【0055】

次に、図19に示すように、配線25を覆う絶縁膜、たとえばTEOS酸化膜をプラズマCVD法で形成した後、その絶縁膜を、たとえばCMP法で研磨することにより、表面が平坦化された層間絶縁膜26を形成する。次いで、パターニングされたフォトレジスト膜をマスクとしたドライエッチング法によって層間絶縁膜26に接続孔27を形成する。

【0056】

次に、接続孔27の内部を含む基板11の全面にバリアメタル層（図示せず）を形成し、さらに接続孔27を埋め込む銅膜を形成する。バリアメタル層は、たとえば窒化チタン、タンタル（Ta）、窒化タンタル（TaN）等であり、たとえばCVD法またはスパッタ法により形成する。銅膜は主導体層として機能し、たとえばメッキ法で形成できる。メッキ法による銅膜の形成前に、たとえばCVD法またはスパッタ法によりシード層として薄い銅膜を形成できる。メッキ法は電解メッキ、無電解メッキのいずれの方法を用いてもよい。その後、接続孔27以外の領域の銅膜（メッキ層およびシード層）およびバリアメタル層を、たとえばCMP法により除去してプラグ28を形成する。

【0057】

次に、層間絶縁膜26およびプラグ28上にストップ絶縁膜29を形成し、さらに配線形成用の絶縁膜30を形成する。ストップ絶縁膜29は、絶縁膜30への溝加工の際にエッティングストップとなる膜であり、絶縁膜30に対してエッティング選択比を有する材料を用いる。ストップ絶縁膜29は、たとえばプラズマCVD法で形成されるシリコン窒化膜とし、絶縁膜30は、たとえばプラズマCVD法で形成されるシリコン酸化膜とする。なお、ストップ絶縁膜29と絶縁膜30とには次に説明する第2配線層が形成される。このため、その合計膜厚は第2配線層に必要な設計膜厚で決められる。次いで、パターニングされたフォトレジスト膜をマスクとしたドライエッチング法によってストップ絶縁膜29および絶縁膜30の所定の領域に配線溝31を形成する。

【0058】

次に、配線溝31の内部を含む基板11の全面にバリアメタル層（図示せず）

を形成し、さらに配線溝31を埋め込む銅膜を形成する。バリアメタル層は、たとえば窒化チタン、タンタル、窒化タンタル等であり、たとえばCVD法またはスパッタ法により形成する。銅膜は主導体層として機能し、たとえばメッキ法で形成できる。メッキ法による銅膜の形成前に、たとえばCVD法またはスパッタ法によりシード層として薄い銅膜を形成できる。なお、ここではメッキ法による銅膜（メッキ層）の形成を示したが、スパッタ法により形成してもよい。この場合、上記シード層は必要ではない。スパッタ法により銅膜を形成する場合には、配線溝31に銅が埋め込まれるように熱処理を施して銅をリフローさせることができる。その後、配線溝31以外の領域の銅膜（メッキ層およびシード層）およびバリアメタル層を、たとえばCMP法により除去して配線32を形成する。

【0059】

次に、デュアルダマシン法により第3配線層を形成する。まず、図20に示すように、絶縁膜30および第2配線層の配線32上にキャップ絶縁膜33、層間絶縁膜34、配線形成用のストップ絶縁膜35、配線形成用の絶縁膜36を順次形成する。

【0060】

キャップ絶縁膜33および層間絶縁膜34には、後に説明するように接続孔37が形成される。キャップ絶縁膜33は、層間絶縁膜34に対してエッチング選択比を有する材料で構成され、たとえばプラズマCVD法で形成されるシリコン窒化膜とすることができる。層間絶縁膜34は、たとえばシリコン酸化膜からなり、たとえばプラズマCVD法で形成されるTEOS酸化膜とすることができる。

【0061】

ストップ絶縁膜35および絶縁膜36には、後に説明するように配線溝38が形成される。ストップ絶縁膜35は、絶縁膜36（および層間絶縁膜34）に対してエッチング選択比を有する材料で構成され、たとえばプラズマCVD法で形成されるシリコン窒化膜とすることができる。絶縁膜36は、たとえばシリコン酸化膜からなり、たとえばプラズマCVD法で形成されるTEOS酸化膜とすることができる。なお、ストップ絶縁膜35と絶縁膜36には、次に説明する第3

配線層が埋め込まれる配線溝38が形成される。このため、その合計膜厚は第3配線層に必要な設計膜厚で決められる。

【0062】

次いで、キャップ絶縁膜33および層間絶縁膜34に接続孔37を、ストッパ絶縁膜35および絶縁膜36に配線溝38を、たとえば以下のようにして形成できる。

【0063】

まず、キャップ絶縁膜33および層間絶縁膜34に、配線32に到達する深い接続孔を形成する。この接続孔の形成は、孔パターンにパターニングされたフォトレジスト膜を絶縁膜36上に形成し、このフォトレジスト膜をマスクとして、絶縁膜36、ストッパ絶縁膜35、層間絶縁膜34およびキャップ絶縁膜33を順次ドライエッチングする。次に、前記接続孔の形成と同様に、溝パターンにパターニングされたフォトレジスト膜を絶縁膜36上に形成し、このフォトレジスト膜をマスクとして、絶縁膜36およびストッパ絶縁膜35を順次ドライエッチングする。

【0064】

次に、接続孔37および配線溝38の内部に第3配線層の配線39を形成する。配線39はバリアメタル層および主導電層である銅膜からなり、この配線39と下層配線である配線32とを接続する接続部材は、配線39と一緒に形成される。配線39の形成方法は、たとえば以下のようにして行う。

【0065】

まず、図21に示すように、接続孔37および配線溝38の内部を含む基板1の全面にバリアメタル層40を形成する。バリアメタル層40は、たとえば窒化チタン、タンタル、窒化タンタル等である。次に、バリアメタル層40上に銅のシード層（図示せず）を、たとえばCVD法またはスパッタ法により形成した後、銅のメッキ層39aを形成する。メッキ法は電解メッキ、無電解メッキのいずれの方法を用いてもよい。これにより接続孔37および配線溝38を埋め込む。なお、ここではメッキ法による銅膜（メッキ層39a）の形成を示したが、スパッタ法により形成してもよい。

【0066】

次に、図22に示すように、CMP法を用いてメッキ層39aおよびシード層を研磨する。銅は研磨速度が大きいので、まず先に銅の部分が除去される。さらに研磨を継続し、絶縁膜36上のバリアメタル層40も除外する。これにより配線溝38以外の領域の銅膜（メッキ層39aおよびシード層）およびバリアメタル層40が除外されて、接続部材と一緒に配線39が形成される。

【0067】

次に、図23に示すように、絶縁膜36および配線39上に、キャップ絶縁膜41、層間絶縁膜42、配線形成用のストッパ絶縁膜43、配線形成用の絶縁膜44を順次形成する。これらの絶縁膜41～44については、各々前記キャップ絶縁膜33、層間絶縁膜34、配線形成用のストッパ絶縁膜35、配線形成用の絶縁膜36と同様である。また、キャップ絶縁膜41および層間絶縁膜42に接続孔45を、ストッパ絶縁膜43および絶縁膜44に配線溝46を前記第3配線層の場合と同様に形成する。さらに、第3配線層の配線39と同様に、接続部材と一緒に第4配線層の配線47を形成する。

【0068】

次に、図24に示すように、絶縁膜44および配線47上に、キャップ絶縁膜48、層間絶縁膜49、配線形成用のストッパ絶縁膜50、配線形成用の絶縁膜51を順次形成する。これらの絶縁膜48～51については、各々前記キャップ絶縁膜33、層間絶縁膜34、配線形成用のストッパ絶縁膜35、配線形成用の絶縁膜36と同様である。また、キャップ絶縁膜48および層間絶縁膜49に接続孔52を、ストッパ絶縁膜50および絶縁膜51に配線溝53を前記第3配線層の場合と同様に形成する。さらに、第3配線層の配線39と同様に、接続部材と一緒に第5配線層の配線54を形成する。

【0069】

次に、図25に示すように、絶縁膜51および配線54上に、絶縁膜55を形成した後、配線54に達する接続孔56を絶縁膜55に形成する。絶縁膜55は、たとえばシリコン酸化膜からなり、たとえばプラズマCVD法で形成されるTEOS酸化膜とすることができる。次に、接続孔56の内部を含む基板11の全

面に窒化チタン膜を、たとえばCVD法により形成し、続いて接続孔56を埋め込むタンゲステン膜を、たとえばCVD法により形成する。次いで、接続孔56以外の領域の窒化チタン膜およびタンゲステン膜を、たとえばCMP法により除去してプラグ57を形成する。

【0070】

次に、基板11の全面に、たとえばアルミニウム膜を形成し、パターニングされたフォトレジスト膜をマスクとしてアルミニウム膜をドライエッティングし、最上層配線である第6配線層の配線58を形成する。その後、パッシベーション膜59で基板11の全面を覆うことにより、図26に示したCMOSデバイスが略完成する。

【0071】

なお、前記CMOSデバイスの製造方法では、基板11上に堆積したタンゲステン膜をドライエッティング法で加工することにより形成した配線25で第1配線層を構成したが、基板11上に堆積した絶縁膜に配線溝を形成し、これに金属膜を埋め込む、いわゆるダマシン配線で構成してもよく、あるいは接続部材と一緒に形成される、いわゆるデュアルダマシン配線で構成してもよい。この場合、第1配線層は、たとえば銅を主導体層として構成される。

【0072】

このように、本実施の形態1であるCMOSデバイスの製造方法によれば、第1配線層の形成工程の前に基板11の裏面に絶縁膜22を形成することにより、その後の配線形成工程において、プラズマCVD法またはスパッタ法による種々の膜の形成、ドライエッティング法による接続孔または配線溝の形成などを行っても、基板11上に発生した電荷が、基板11を通して接地電位へ流れるのを抑えることができる。従って、チャージアップに起因した基板11へのダメージ、たとえばMISFETのゲート絶縁膜15の破壊を防ぐことができる。

【0073】

また、基板11の裏面への絶縁膜22の形成を、シリコン酸化膜21のCMP工程の前に行うことによって、上記絶縁膜22を成膜する際に基板11の表面に付着したパーティクルを、上記シリコン酸化膜21のCMP工程で除去すること

ができる。

【0074】

(実施の形態2)

本実施の形態2であるCMOSデバイスの製造方法を図27～図30に示した基板の要部断面図を用いて工程順に説明する。まず、前記実施の形態1と同様の製造方法でnチャネルMISFETおよびpチャネルMISFETを形成し、続いてその上層にシリコン酸化膜21を形成する。次いで、基板11の裏面に絶縁膜22を形成した後、シリコン酸化膜21を、たとえばCMP法で研磨することにより、その表面を平坦化し、同時に、基板11の表面に付着したパーティクルを除去する。ここまで工程は、前記実施の形態1の図11～図17に示した工程と同じである。

【0075】

次に、図27に示すように、パターニングされたフォトレジスト膜をマスクとしたドライエッチング法によってシリコン酸化膜21に接続孔23を形成する。次いで、接続孔23の内部を含む基板11の全面に下層バリア膜、アルミニウム合金膜および上層バリア膜を、たとえばスパッタ法で順次堆積した後、パターニングされたフォトレジスト膜をマスクとしたドライエッチング法によって上記積層膜を加工し、第1配線層の配線60を形成する。下層バリア膜および上層バリア膜は、たとえばタンガステン膜、窒化チタン膜、タンガステンチタン(TiW)膜またはモリブデンシリサイド(MoSi₂)等である。

【0076】

次に、図28に示すように、基板11上に層間絶縁膜61を形成する。層間絶縁膜61は、たとえばシリコン酸化膜からなり、たとえばTEOSと酸素とをソースガスに用いたプラズマCVD法で堆積されたTEOS酸化膜で構成される。さらに、図29に示すように、層間絶縁膜61を、たとえばCMP法で研磨することにより、その表面を平坦化した後、パターニングされたフォトレジスト膜をマスクとしたドライエッチング法によって層間絶縁膜61に接続孔62を形成する。

【0077】

その後、たとえばスパッタ法による金属膜（たとえば下層バリア膜、アルミニウム合金膜および上層バリア膜）の形成、プラズマCVD法による層間絶縁膜の形成、ドライエッチング法による接続孔の形成を順次繰り返すことにより、第2配線層の配線63～第6配線層の配線67を形成し、さらにパッシベーション膜59で基板11の全面を覆うことにより、図30に示したCMOSデバイスが略完成する。

【0078】

このように、本実施の形態2によれば、ドライエッチング法を用いたアルミニウム配線形成工程において、プラズマCVD法またはスパッタ法による種々の膜の形成、ドライエッチング法による配線または接続孔の形成などを行っても、基板11の裏面に形成された絶縁膜22により、基板11上に発生した電荷が、基板11を通して接地電位へ流れるのを抑えることができる。

【0079】

(実施の形態3)

本実施の形態3であるCMOSデバイスの製造方法を図31～図34に示した基板の要部断面図を用いて工程順に説明する。まず、前記実施の形態1と同様の製造方法でnチャネルMISFETおよびpチャネルMISFETを形成し、続いてその上層にシリコン酸化膜21を形成する。ここまでの中程は、前記実施の形態1の図11～図15に示した工程と同じである。

【0080】

次に、図31に示すように、シリコン酸化膜21を、たとえばCMP法で研磨することにより、その表面を平坦化した後、パターニングされたフォトトレジスト膜をマスクとしたドライエッチング法によってシリコン酸化膜21に接続孔23を形成する。次いで、接続孔23の内部を含む基板11の全面に窒化チタン膜68（またはチタン膜）を、たとえばCVD法で形成し、さらに接続孔23を埋め込むタンゲステン膜69を、たとえば熱CVD法で形成する。

【0081】

次に、図32に示すように、基板11の裏面に、たとえば300nm程度の厚さの絶縁膜22を形成する。絶縁膜22は、プラズマCVD法で堆積されるTE

OS酸化膜、シリコン窒化膜またはシリコン酸化膜などを例示することができる。絶縁膜22は前記実施の形態1に記載した形成方法と同様に、たとえば枚葉式平行平板プラズマ装置の反応室内のサセプタ上に裏面を上にして基板11を平置きにして成膜される。これにより、主として基板11の裏面およびベベル部に絶縁膜22が形成される。

【0082】

次に、図33に示すように、接続孔23以外の領域の窒化チタン膜68およびタンクスチルム69を、たとえばCMP法により除去して接続孔23の内部にプラグ70を形成すると同時に、基板11の表面（タンクスチルム69の表面）に付着したパーティクルを除去する。なお、CMP法でタンクスチルム69の表面を研磨する前に洗浄工程を設けてもよい。

【0083】

続いて、基板11の全面に、たとえばCVD法またはスパッタ法によりタンクスチルムを形成した後、パターニングされたフォトレジスト膜をマスクとしたドライエッチング法によってタンクスチルムを加工し、図34に示すように、第1配線層の配線25を形成する。この第1配線層の配線25を形成することで、配線25によるアンテナ効果が発生するが、プラグ70を形成するCMP工程の前に基板11の裏面およびベベル部に形成された絶縁膜22によって、チャージアップダメージを低減することができる。

【0084】

このように、本実施の形態3によれば、プラグ70を形成するCMP工程の前に基板11の裏面に絶縁膜22を形成することによって、基板11上に発生した電荷が接地電位へ流れるのを抑えることができ、さらに基板11の表面に付着したパーティクルを、上記プラグ70を形成するCMP工程で除去することができる。

【0085】

（実施の形態4）

本実施の形態4であるCMOSデバイスの製造方法を説明する。まず、前記実施の形態1と同様の製造方法でnチャネルMISFETおよびpチャネルMIS

FETを形成し、続いてその上層にシリコン酸化膜21を形成する。次いで、基板11の裏面に絶縁膜22を形成する。ここまでの中程は、前記実施の形態1の図11～図16に示した工程と同じである。

【0086】

次に、基板11に洗浄処理を施して、基板11の裏面に絶縁膜22を成膜する際に、基板11の表面（シリコン酸化膜21の表面）に付着したパーティクルを除去する。洗浄方法としては、たとえばブラシ方法または超音波方法を例示することができる。その後の工程は、前記実施の形態1と同じであり、シリコン酸化膜21を、たとえばCMP法で研磨することにより、その表面を平坦化し、続いてプラグ、第1配線層を形成する。

【0087】

なお、本実施の形態4では、基板11の裏面に絶縁膜22を形成し、続いて洗浄処理を行う工程を、シリコン酸化膜21のCMP工程の前に行ったが、プラグ24を形成するCMP工程の前に行ってもよく、あるいはサイドウォールスペーサ18を構成するシリコン酸化膜を基板11上に成膜した後、またはゲート電極16を構成するシリコン多結晶膜を基板11上に成膜した後に行ってもよい。

【0088】

このように、本実施の形態4によれば、基板11の裏面へ絶縁膜22を形成した後に基板11に洗浄処理を施すことによって、基板11の裏面に絶縁膜22を成膜する際に基板11の表面に付着したパーティクルを、上記洗浄工程で除去することができる。

【0089】

なお、一般的なプラズマダメージの問題については、本願発明者らによる特願2001-069013号（出願日2001.3.12）に記載されているので、それらについては、ここでは詳述しないものとする。

【0090】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0091】

たとえば前記実施の形態では、基板の主面上に形成される半導体装置としてC MOSデバイスを例示したが、これに限定されるものではない。

【0092】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0093】

配線形成工程の前に基板の裏面に絶縁膜を形成することにより、配線形成工程において、プラズマCVD法、スパッタ法またはドライエッチング法を用いても、基板上に発生した電荷が、基板を通して接地電位へ流れるのを上記絶縁膜によって抑えることができる。従って、チャージアップに起因した基板へのダメージ、たとえばMISFETのゲート絶縁膜の破壊を防ぐことができる。

【図面の簡単な説明】

【図1】

(a) は、ウエハの裏面に絶縁膜を設けない場合のMISFETのゲート絶縁膜の耐圧分布を示す図、(b) は、ウエハの裏面に絶縁膜を設けた場合のMISFETのゲート絶縁膜の耐圧分布を示す図である。

【図2】

枚葉式プラズマCVD装置を用いてウエハの裏面に形成された絶縁膜の被覆性の一例を示す基板の要部断面図である。

【図3】

ウエハの表面の端部から中央部に向かってウエハの表面に被覆した絶縁膜の厚さを示すグラフ図である。

【図4】

ウエハの裏面およびベベル部に形成された絶縁膜を示すウエハの裏面の平面図および一部断面図である。

【図5】

ウエハの裏面に形成された絶縁膜を示すウエハの裏面の平面図である。

【図6】

ウエハの裏面およびベベル部に絶縁膜を設けない場合のMISFETのゲート絶縁膜の耐圧分布を示す図である。

【図7】

(a) は、ウエハの裏面の一部領域およびベベル部の全域に絶縁膜を形成した場合のMISFETのゲート絶縁膜の耐圧分布を示す図、(b) は、ウエハ裏面の平面図、(c) は、ウエハ周辺部の断面図である。

【図8】

(a) は、ウエハの裏面の全域に第2絶縁膜を形成した場合のMISFETのゲート絶縁膜の耐圧分布を示す図、(b) は、ウエハ裏面の平面図、(c) は、ウエハ周辺部の断面図である。

【図9】

ウエハの裏面に絶縁膜を設けることによってプラズマ処理工程におけるチャージアップダメージが低減するメカニズムを説明するための模式図である。

【図10】

ウエハのベベル部に絶縁膜を設けることによってプラズマ処理工程におけるチャージアップダメージが低減するメカニズムを説明するための模式図である。

【図11】

本実施の形態1であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【図12】

本実施の形態1であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【図13】

本実施の形態1であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【図14】

本実施の形態1であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【図15】

本実施の形態1であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【図16】

本実施の形態1であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【図17】

本実施の形態1であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【図18】

本実施の形態1であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【図19】

本実施の形態1であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【図20】

本実施の形態1であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【図21】

本実施の形態1であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【図22】

本実施の形態1であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【図23】

本実施の形態1であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【図24】

本実施の形態1であるCMOSデバイスの製造方法を示す基板の要部断面図である。

ある。

【図25】

本実施の形態1であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【図26】

本実施の形態1であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【図27】

本実施の形態2であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【図28】

本実施の形態2であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【図29】

本実施の形態2であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【図30】

本実施の形態2であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【図31】

本実施の形態3であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【図32】

本実施の形態3であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【図33】

本実施の形態3であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【図34】

本実施の形態3であるCMOSデバイスの製造方法を示す基板の要部断面図である。

【符号の説明】

- 1 ウエハ
- 1 a 裏面
- 1 b 表面
- 2 TEOS酸化膜
- 3 ベベル部
- 4 絶縁膜
- 5 第2絶縁膜
- 6 第2絶縁膜
- 7 ウエハ
- 8 プラズマ
- 8 a プラズマ
- 9 サセプタ
- 1 1 基板
- 1 2 素子分離領域
- 1 3 pウェル
- 1 4 nウェル
- 1 5 ゲート絶縁膜
- 1 6 ゲート電極
- 1 7 キャップ絶縁膜
- 1 8 サイドウォールスペーサ
- 1 9 n型半導体領域
- 2 0 p型半導体領域
- 2 1 シリコン酸化膜
- 2 2 絶縁膜
- 2 3 接続孔
- 2 4 プラグ

- 25 配線
- 26 層間絶縁膜
- 27 接続孔
- 28 プラグ
- 29 ストッパ絶縁膜
- 30 絶縁膜
- 31 配線溝
- 32 配線
- 33 キャップ絶縁膜
- 34 層間絶縁膜
- 35 ストッパ絶縁膜
- 36 絶縁膜
- 37 接続孔
- 38 配線溝
- 39 配線
- 39a メッキ層
- 40 バリアメタル層
- 41 キャップ絶縁膜
- 42 層間絶縁膜
- 43 ストッパ絶縁膜
- 44 絶縁膜
- 45 接続孔
- 46 配線溝
- 47 配線
- 48 キャップ絶縁膜
- 49 層間絶縁膜
- 50 ストッパ絶縁膜
- 51 絶縁膜
- 52 接続孔

- 5 3 配線溝
- 5 4 配線
- 5 5 絶縁膜
- 5 6 接続孔
- 5 7 プラグ
- 5 8 配線
- 5 9 パッシベーション膜
- 6 0 配線
- 6 1 層間絶縁膜
- 6 2 接続孔
- 6 3 配線
- 6 4 配線
- 6 5 配線
- 6 6 配線
- 6 7 配線
- 6 8 窒化チタン膜
- 6 9 タングステン膜
- 7 0 プラグ

【書類名】 図面

【図1】

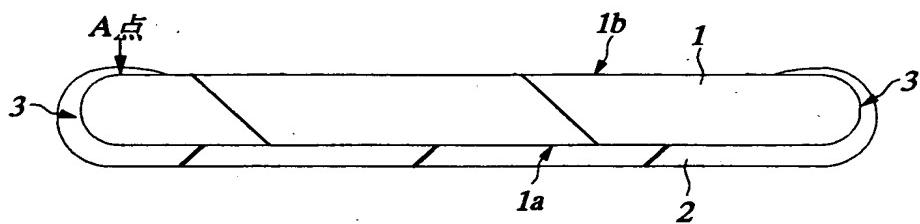
1

(a)

(b)

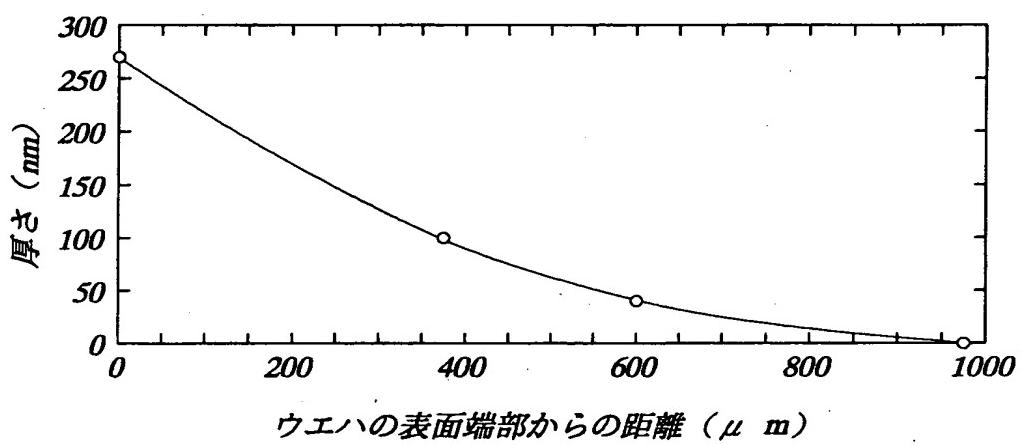
【図2】

図 2



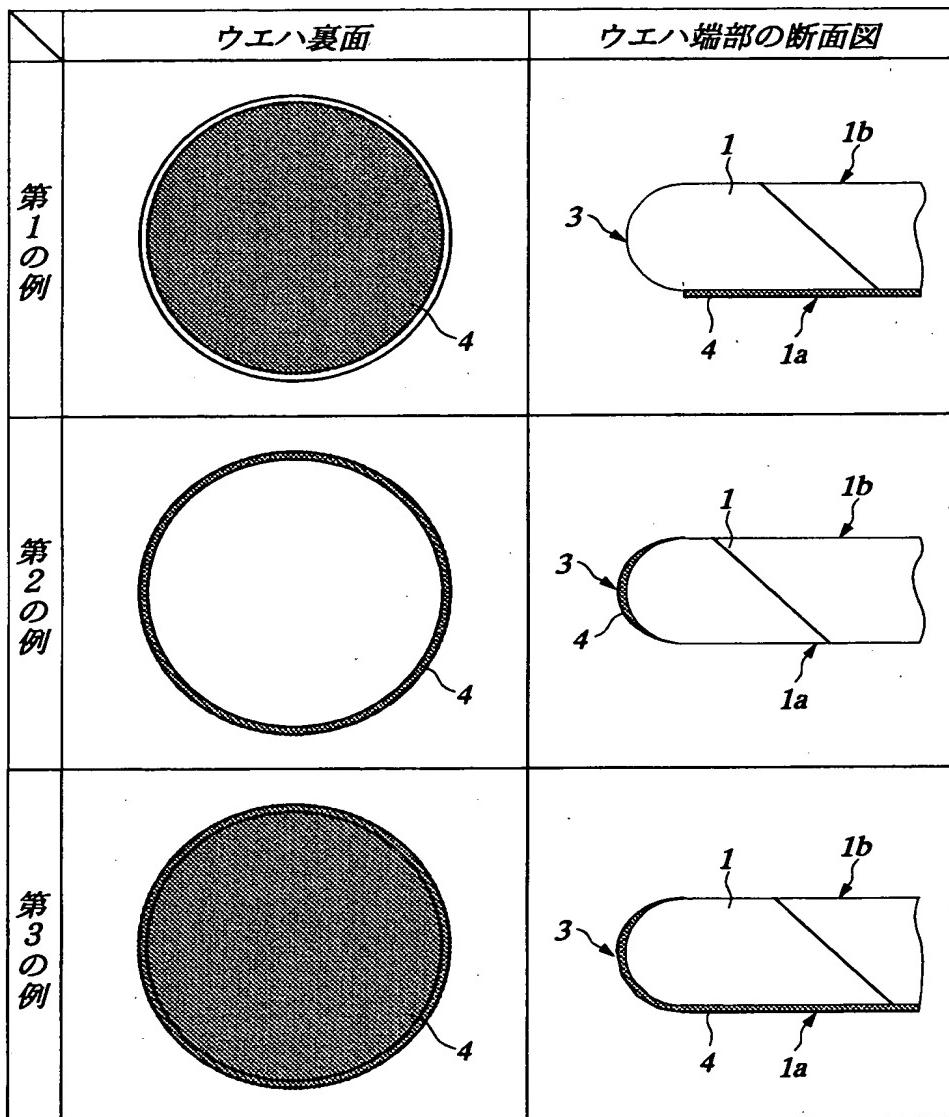
【図3】

図 3



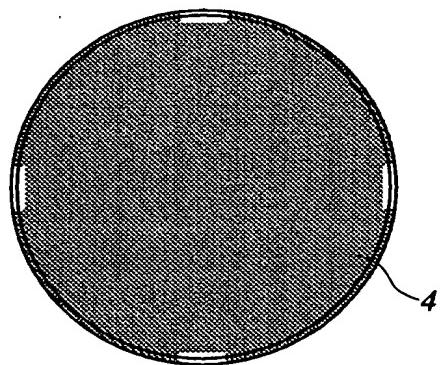
【図4】

図 4



【図5】

図 5



【図6】

図 6

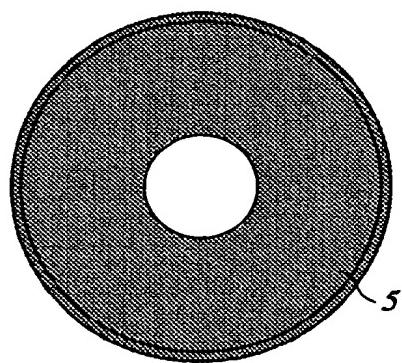
5.2	5.2	5.2										
5.2	5.2	3.3	5.2	4.0	5.2	5.2						
5.2	5.2	2.8	4.0	4.1	3.3	3.5	3.9	5.2				
5.2	5.2	5.2	2.8	2.6	2.4	2.8	3.1	2.8	3.0	5.2		
5.2	5.2	4.1	3.1	3.2	2.3	2.4	3.0	3.5	3.0	5.2		
5.2	5.2	5.2	5.1	2.3	2.1	2.2	2.5	2.2	3.8	3.9	5.2	5.2
5.2	5.2	5.1	2.7	2.7	2.0	1.4	1.8	2.0	2.6	2.7	5.2	5.2
5.2	5.2	5.2	4.0	2.7	3.0	2.1	3.2	3.1	4.0	3.1	5.2	5.2
5.2	5.2	3.5	3.5	3.8	2.6	3.0	3.0	3.9	5.2	5.2		
5.2	5.2	5.2	5.1	2.8	3.5	3.5	3.3	3.4	5.2	5.2		
5.2	5.2	5.2	3.5	3.8	2.6	5.2	5.2	5.2				
5.2	5.2	5.2	5.2	5.2	5.2	5.2	5.2	5.2				
5.2	5.2	5.2										

【図7】

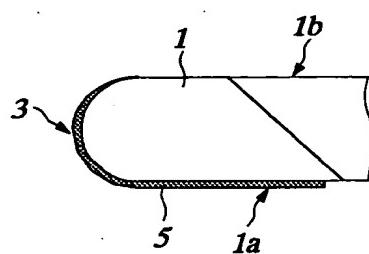
四 7

(a)

(b)



(c)



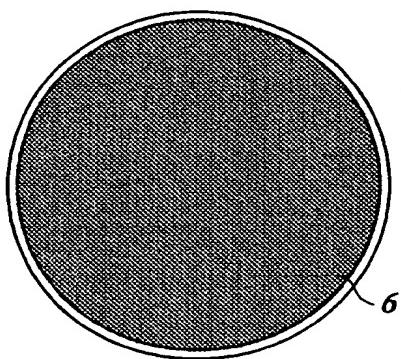
【図8】

図 8

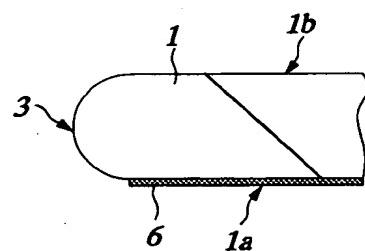
(a)

			5.2	5.2	5.2								
			5.2	5.2	5.2	5.2	5.2	5.2	5.2	5.2	5.2		
			5.2	5.2	5.2	5.2	5.2	5.2	5.2	5.2	5.2		
			5.2	5.2	5.2	5.2	5.2	5.2	5.2	2.2	5.2	5.2	
			5.2	5.2	5.2	5.2	2.9	2.1	2.0	2.9	5.2	5.2	5.2
			5.2	5.2	5.2	5.2	2.5	1.7	2.1	2.0	5.2	5.2	5.2
			5.2	5.2	5.2	5.2	2.4	2.3	2.4	2.3	5.2	5.2	5.2
			5.1	5.2	5.2	5.2	2.9	1.9	2.5	5.2	5.2	5.2	5.2
			5.2	5.2	5.2	5.2	5.2	5.2	3.9	5.2	5.2	5.2	5.2
			5.2	5.2	5.2	5.2	5.2	5.2	5.2	5.2	5.2	5.2	5.2
			5.2	5.2	5.2	5.2	5.2	5.2	5.2	5.2	5.2	5.2	5.2
			5.2	5.2	5.2	5.2	5.2	5.2	5.2	5.2	5.2	5.2	5.2
			5.2	5.2	5.2	5.2	5.2	5.2	5.2	5.2	5.2	5.2	5.2

(b)

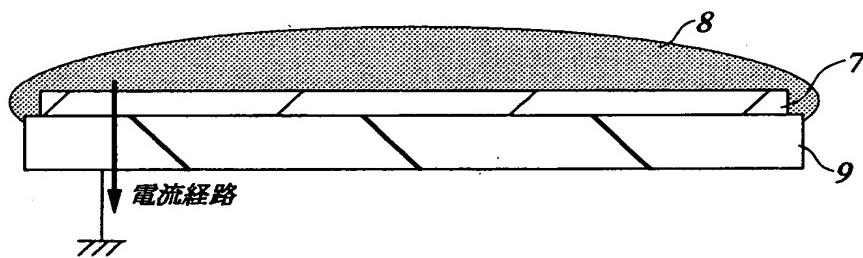


(c)



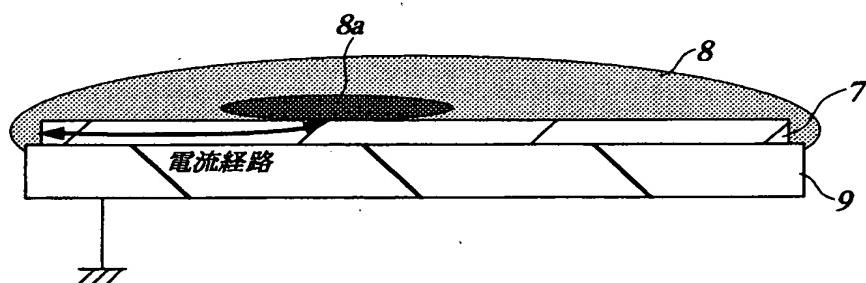
【図9】

図 9



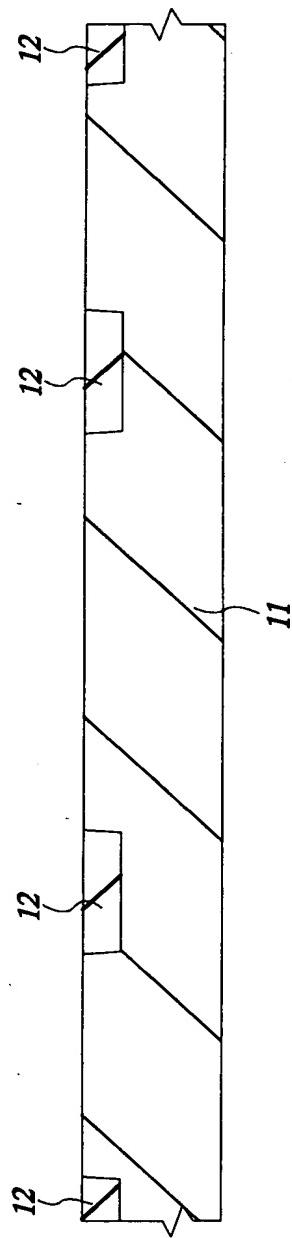
【図10】

図 10



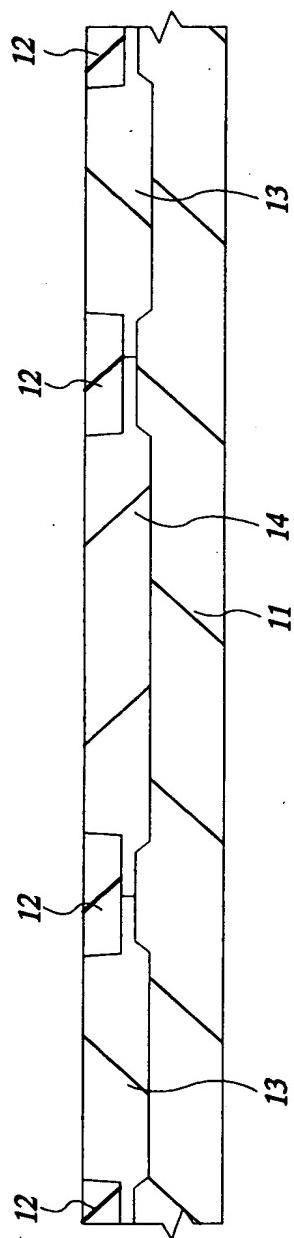
【図11】

図 11



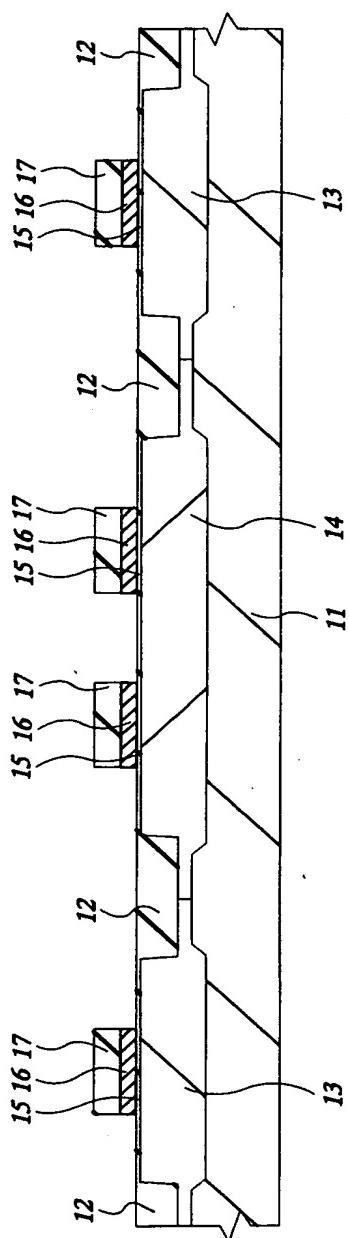
【図12】

図 12



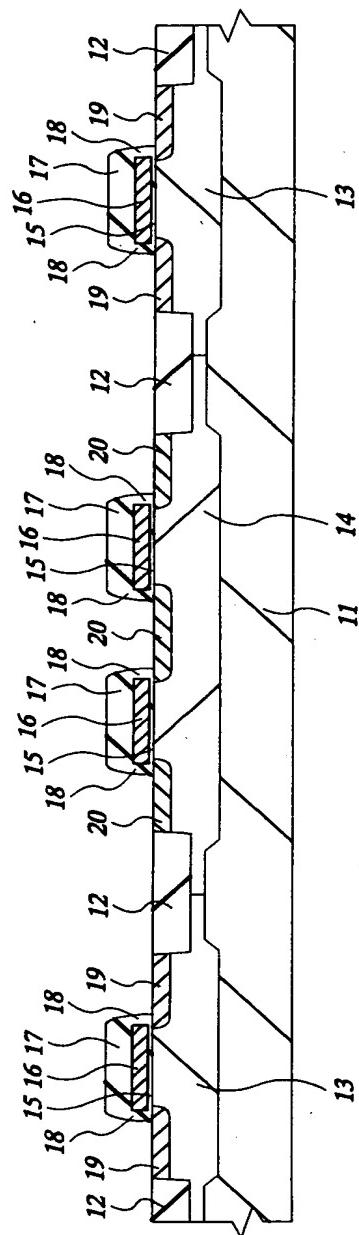
【図13】

図 13



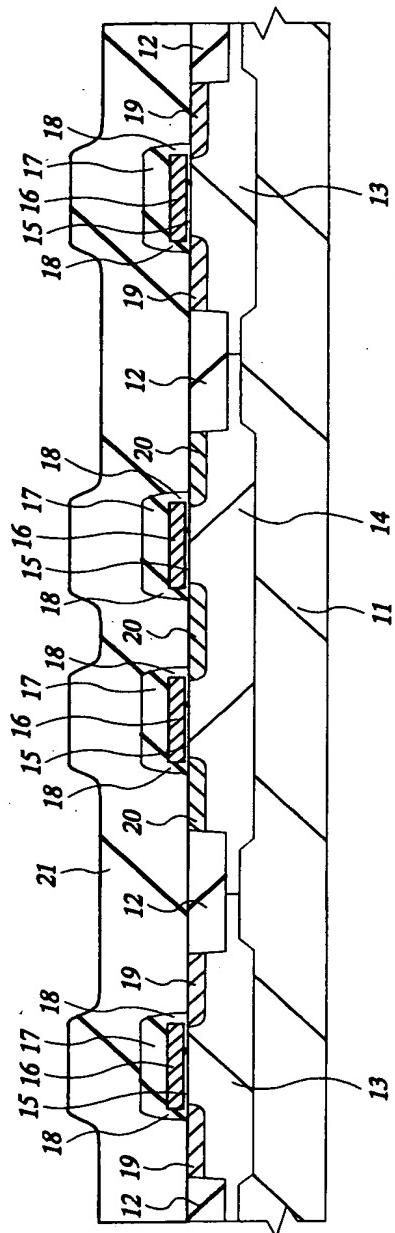
【図14】

図 14



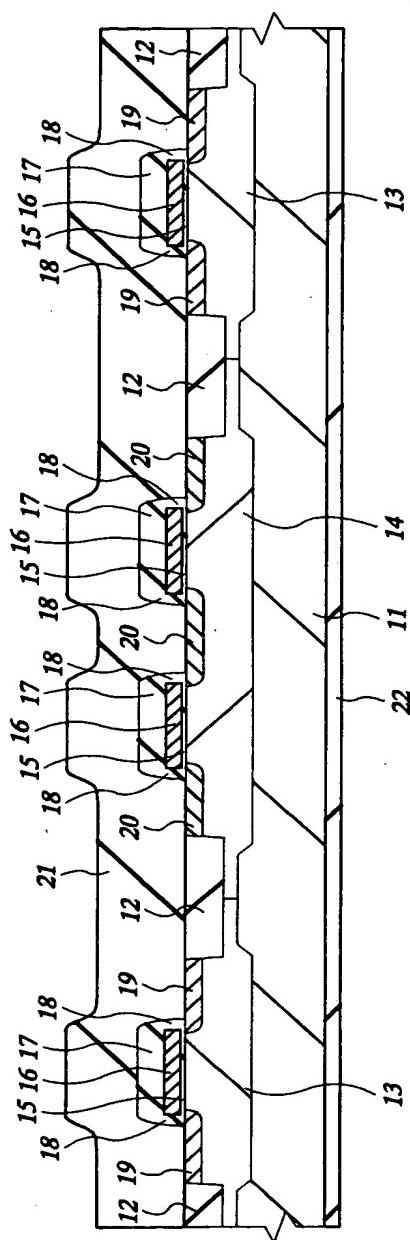
【図15】

図 15



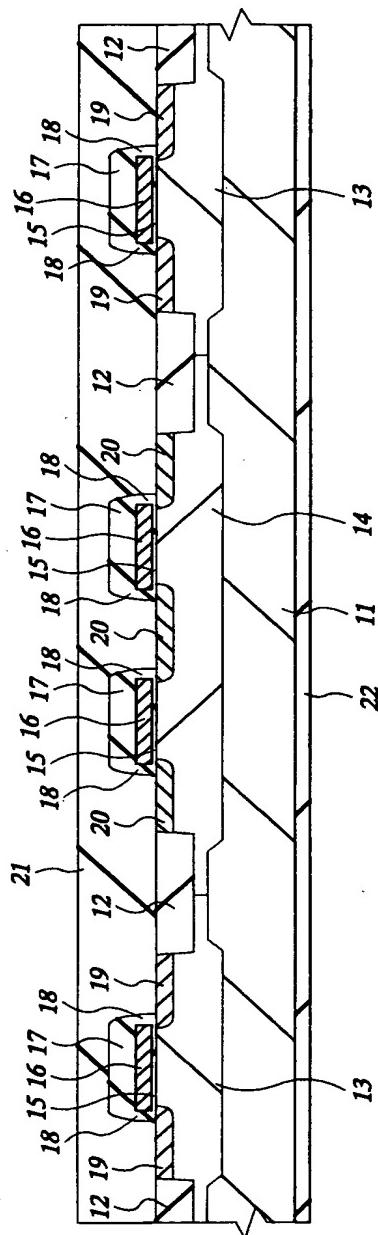
【図16】

16



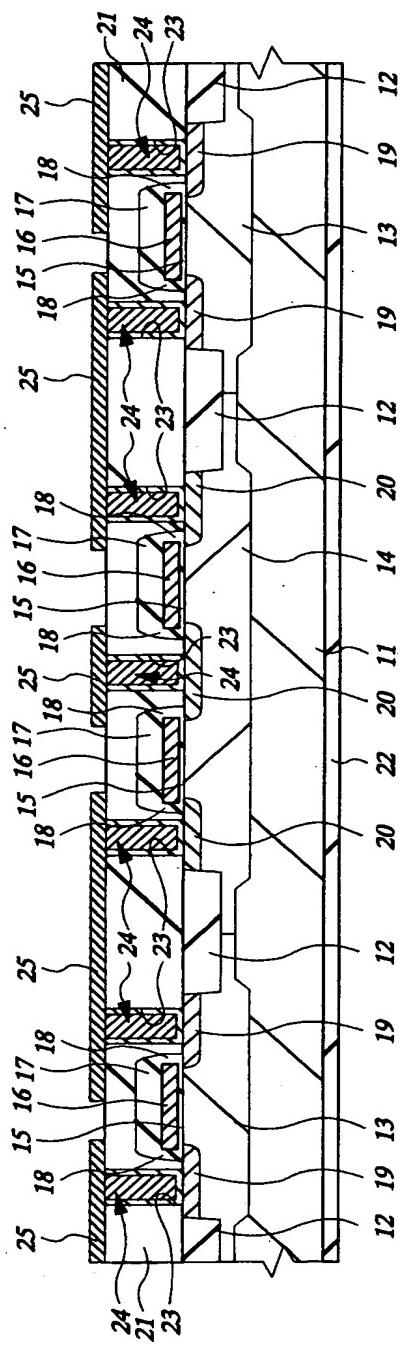
【図17】

17



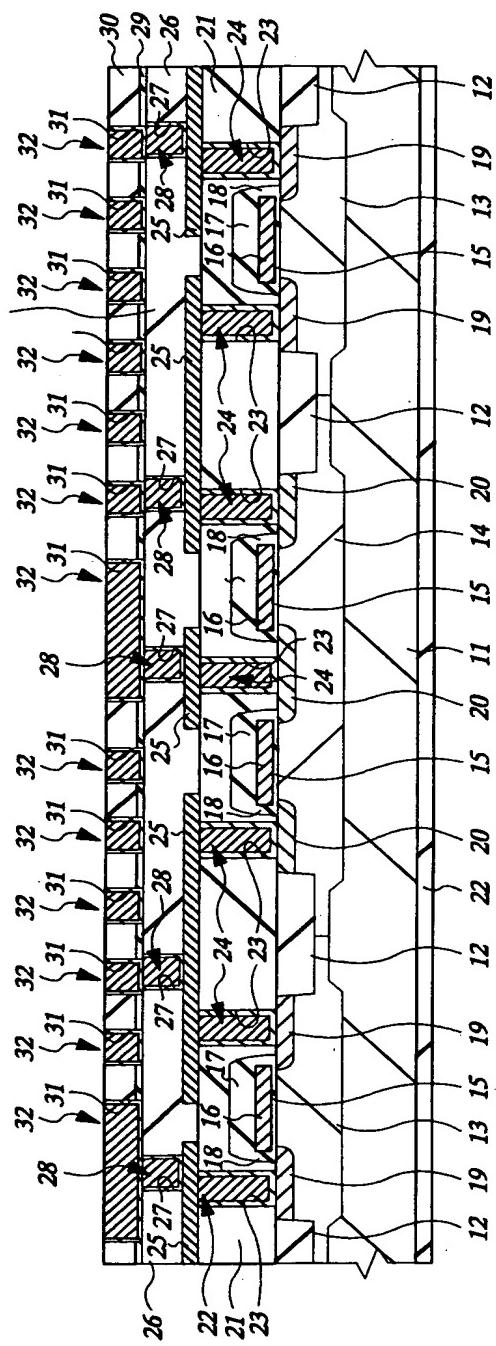
【図18】

18



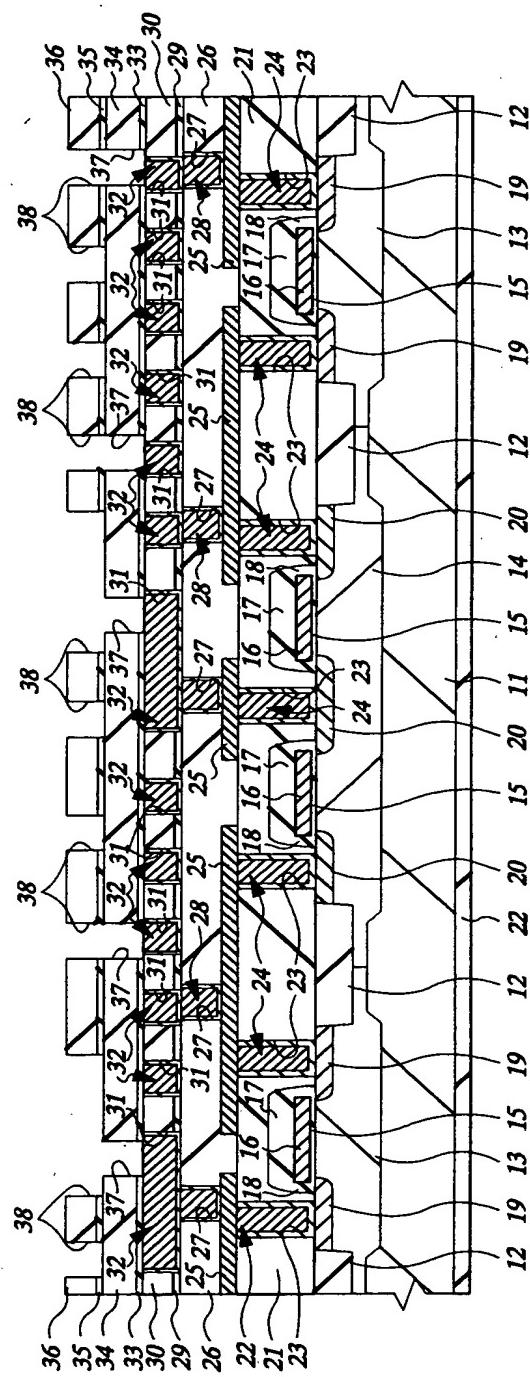
【図19】

19



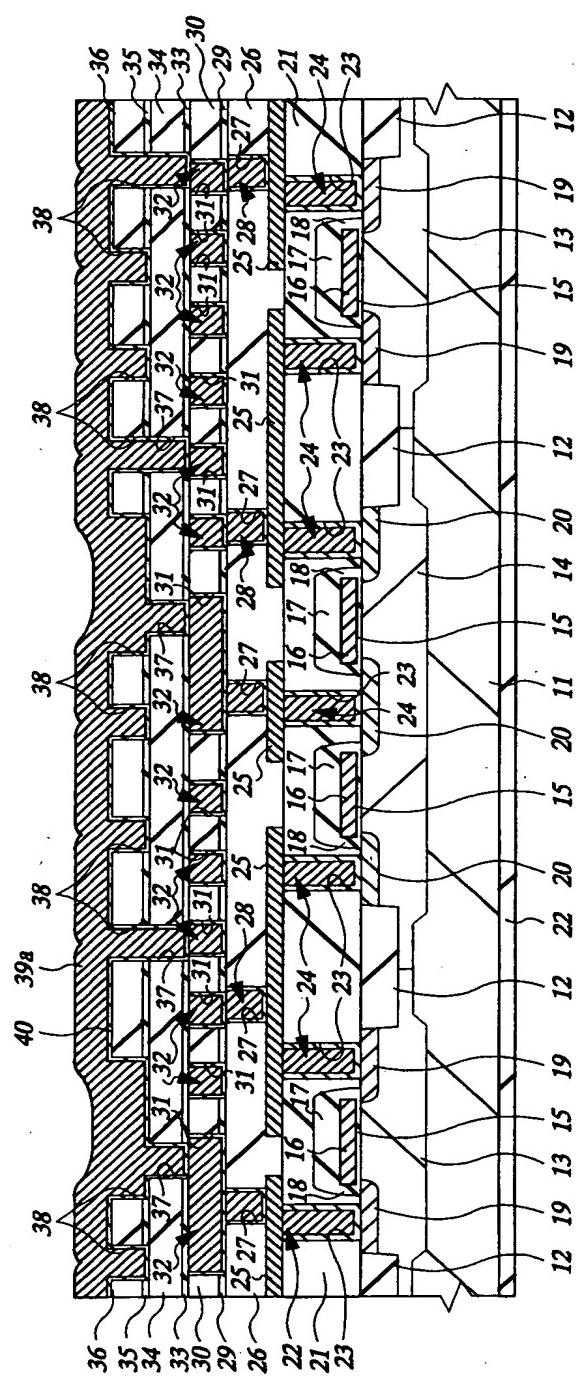
【図20】

図 20



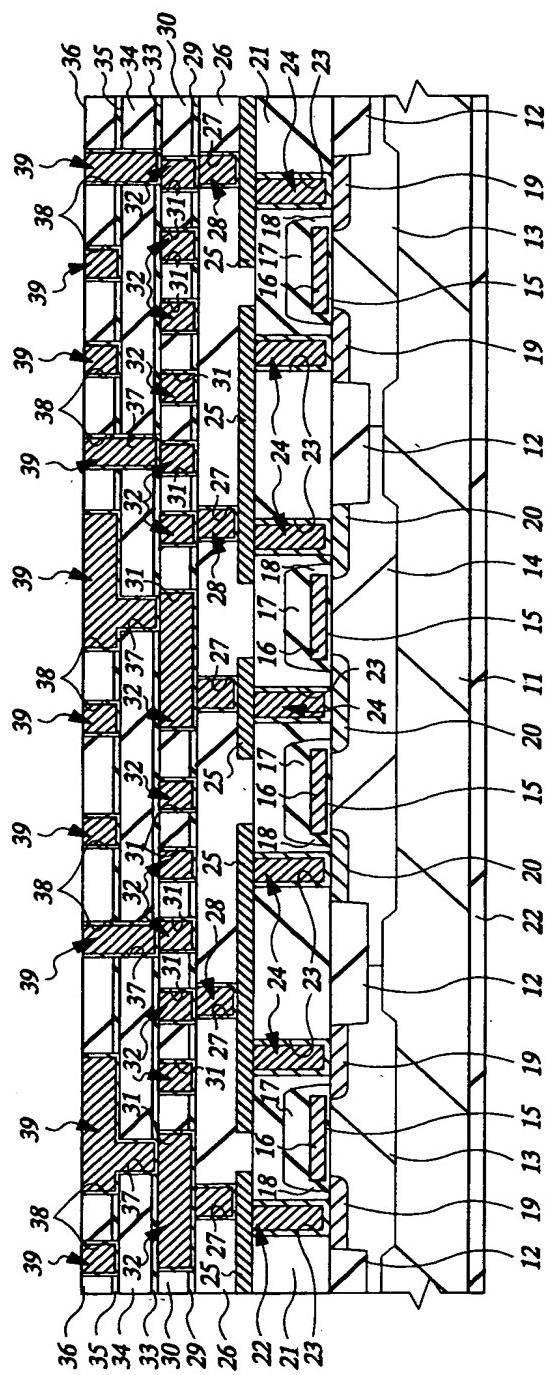
【図21】

図21

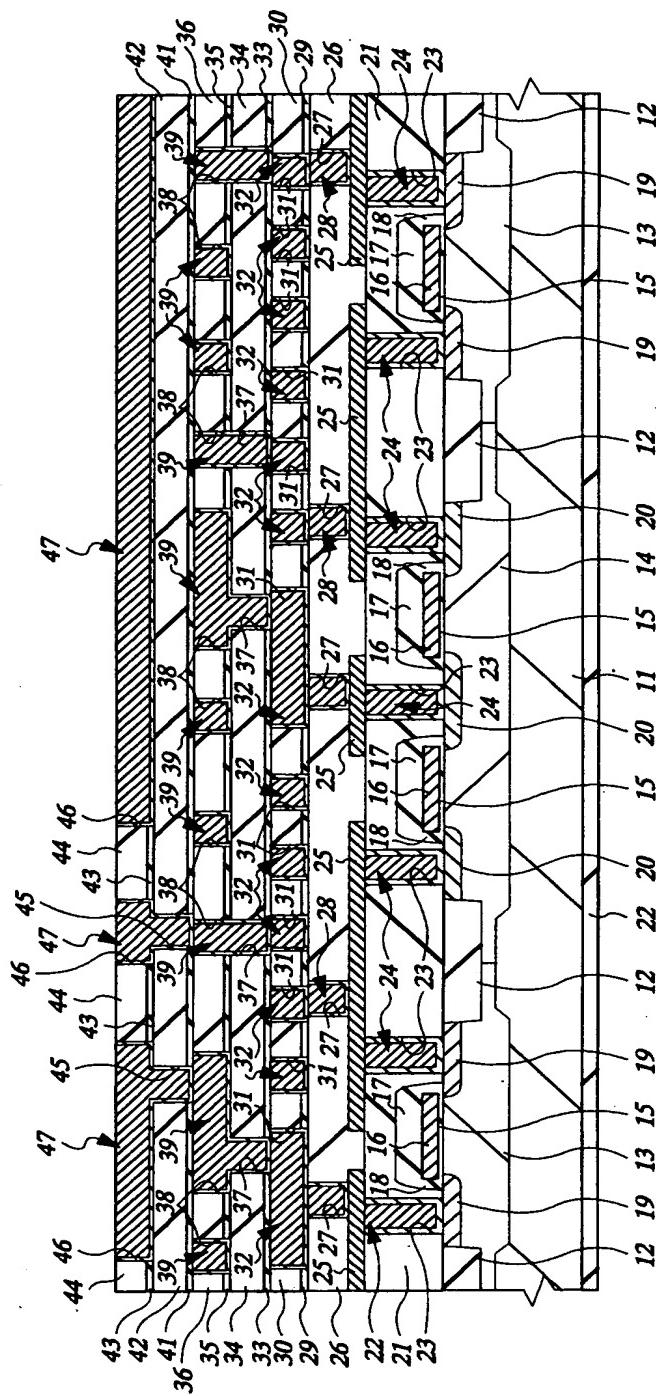


【図22】

22

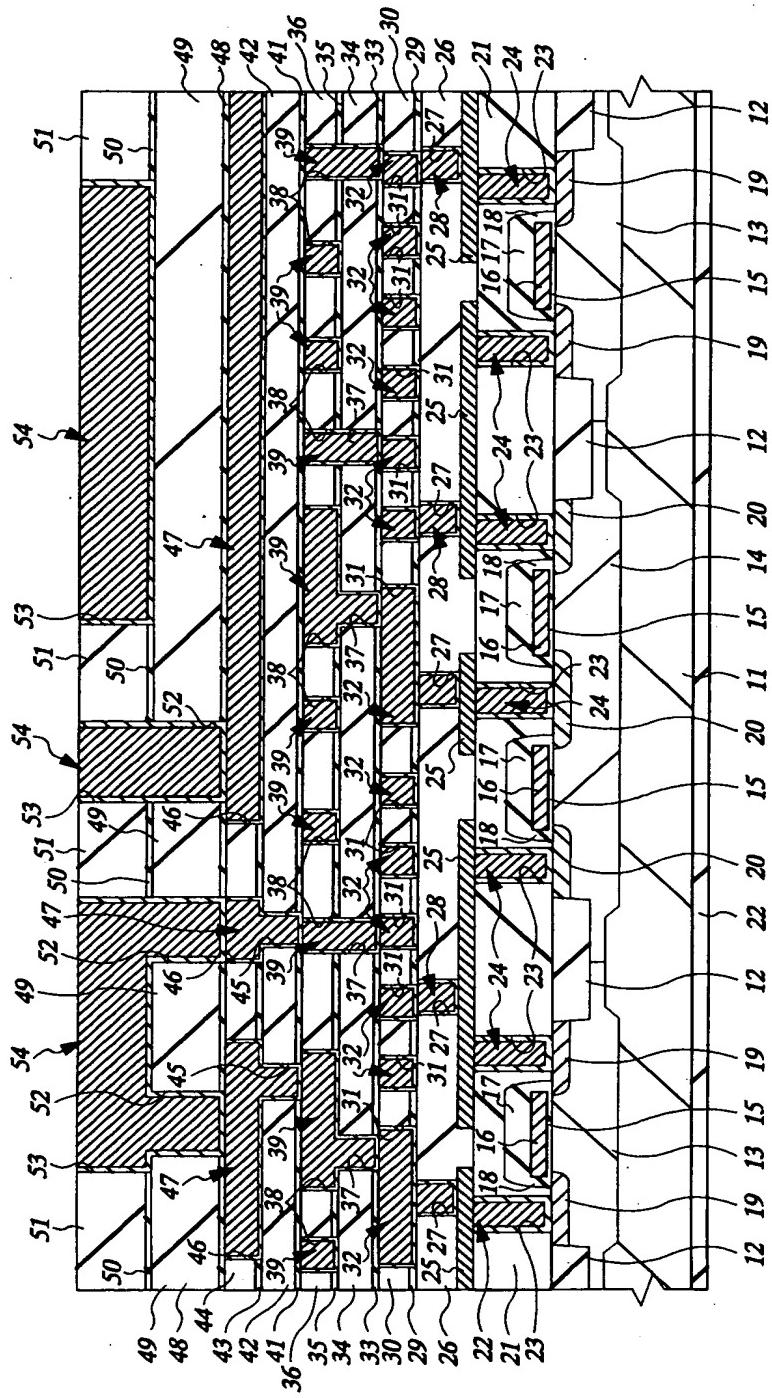


【図23】



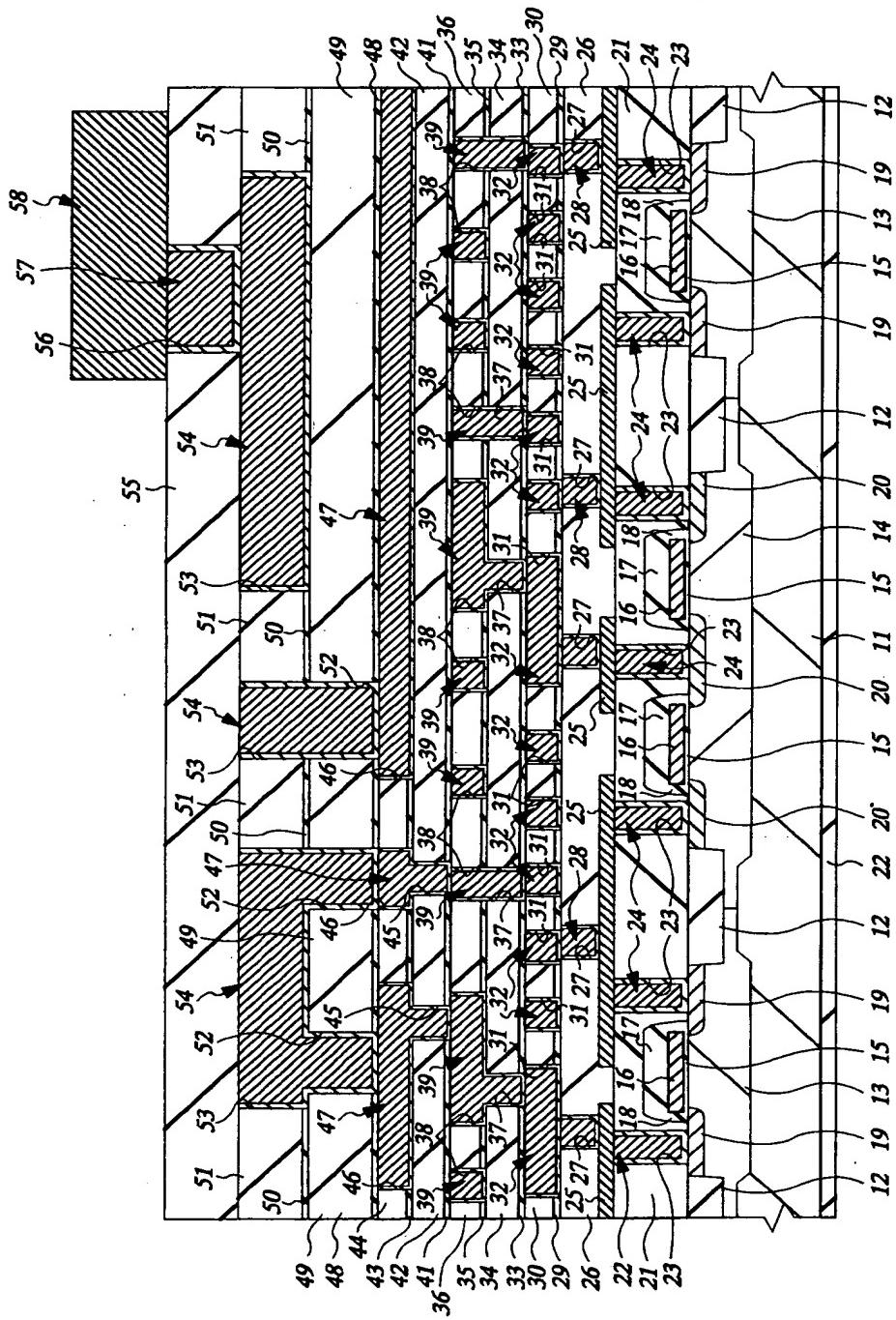
【図24】

図24

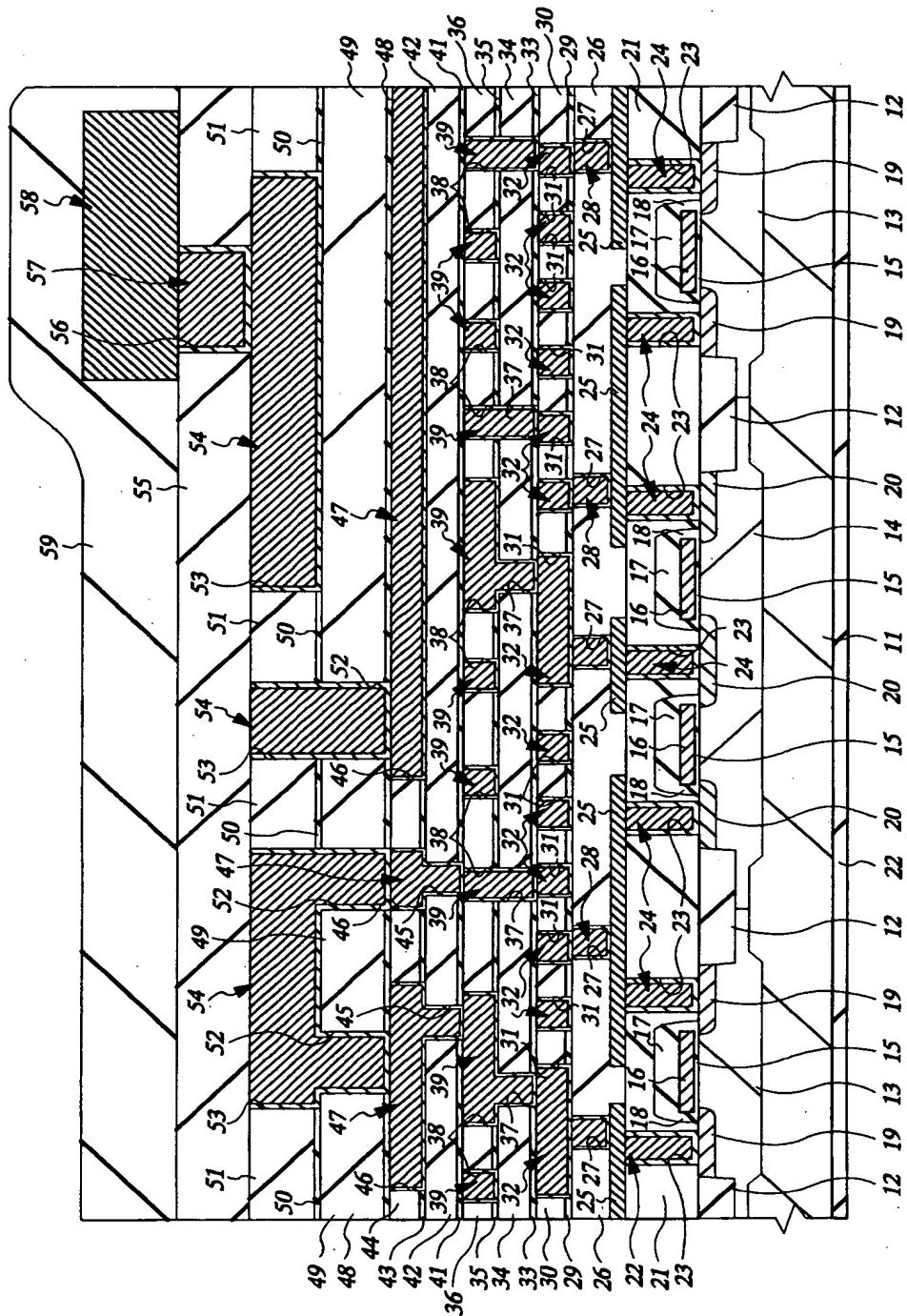


【図25】

図 25

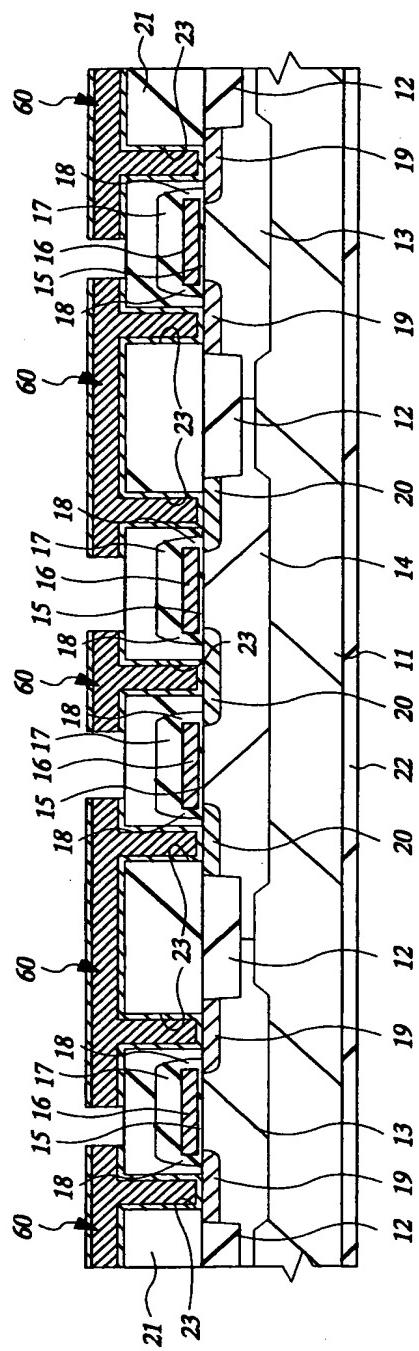


【図26】



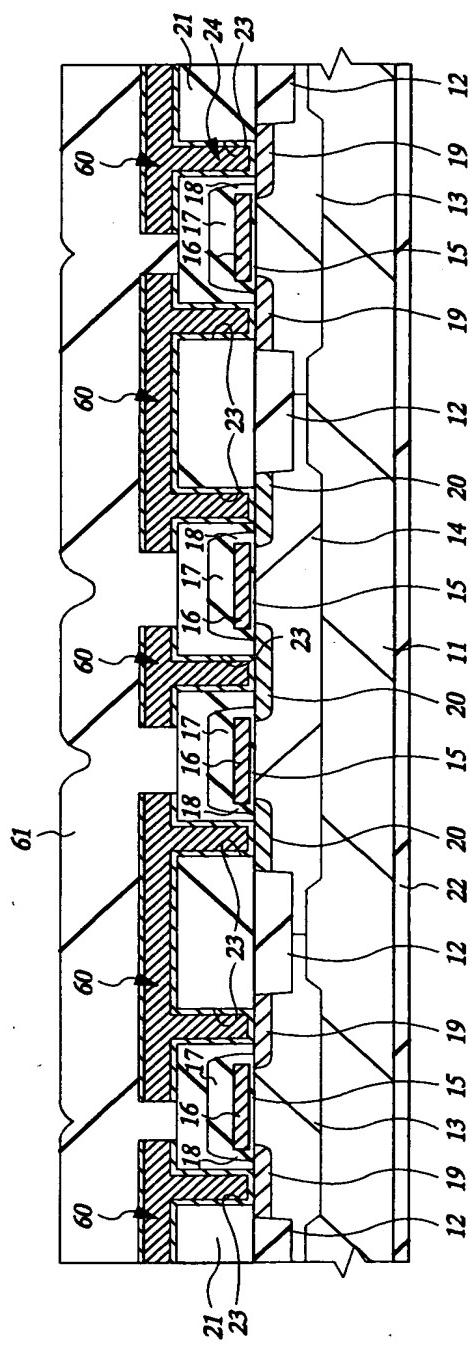
【図27】

図 27



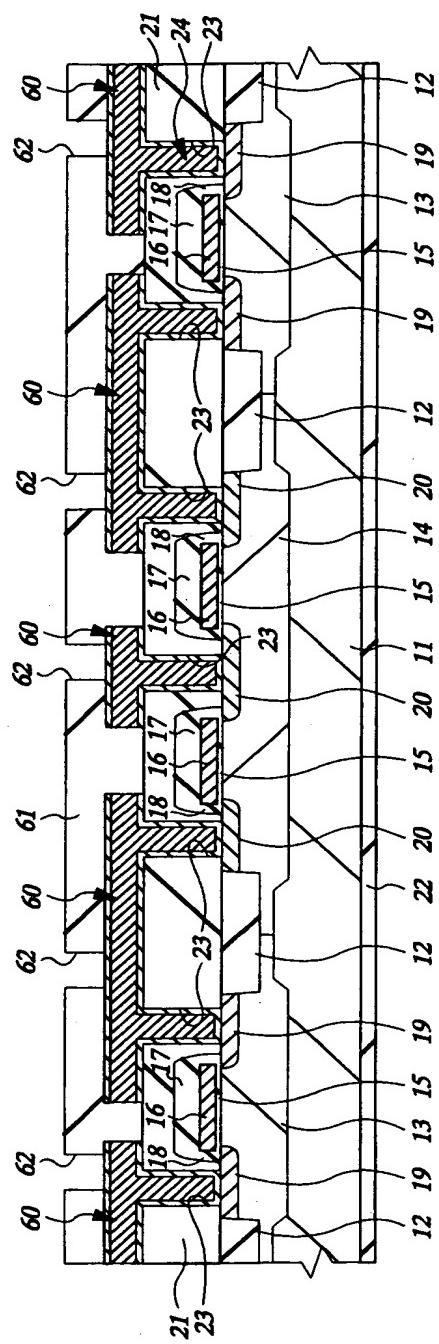
【図28】

図 28



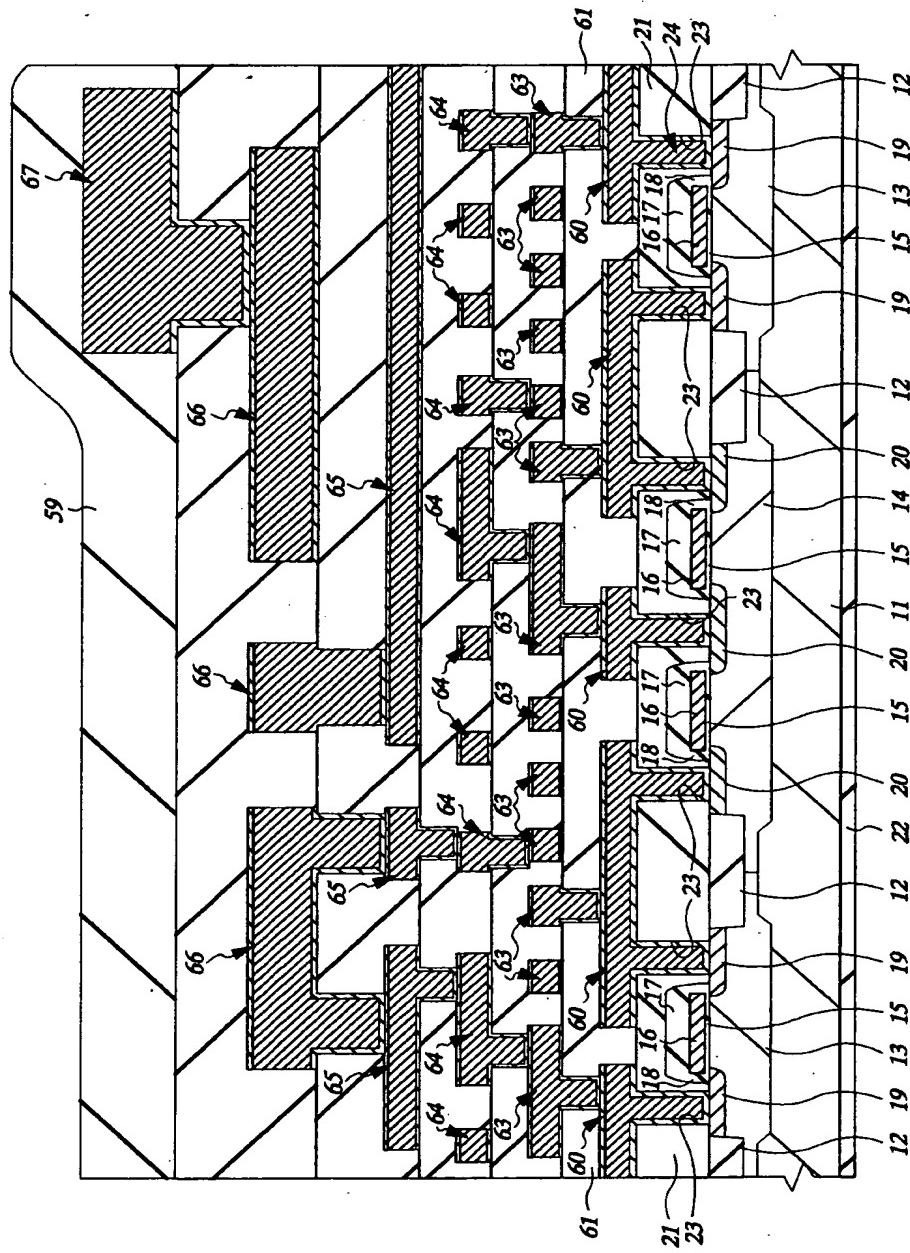
【図29】

図 29



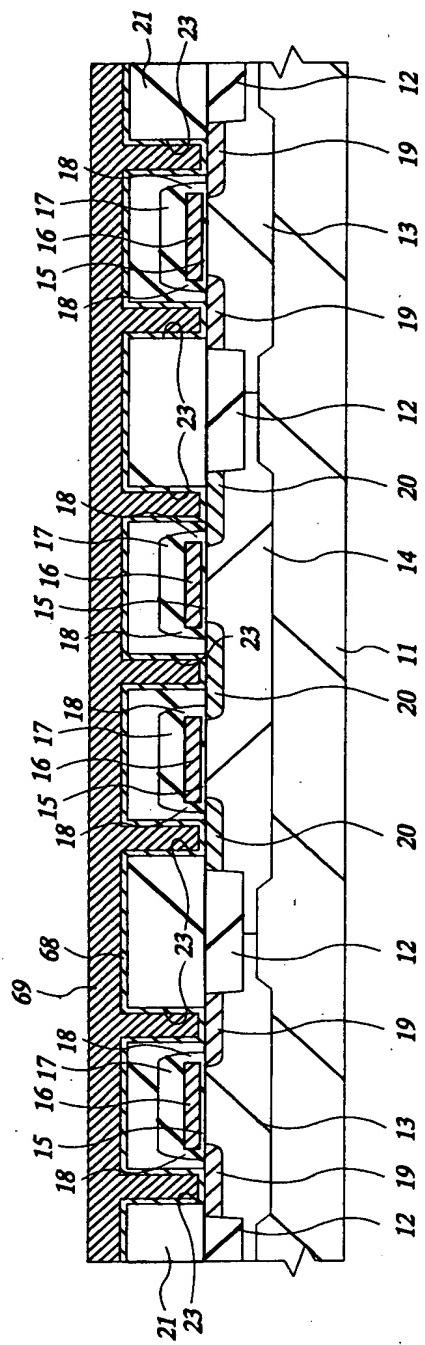
〔図30〕

30



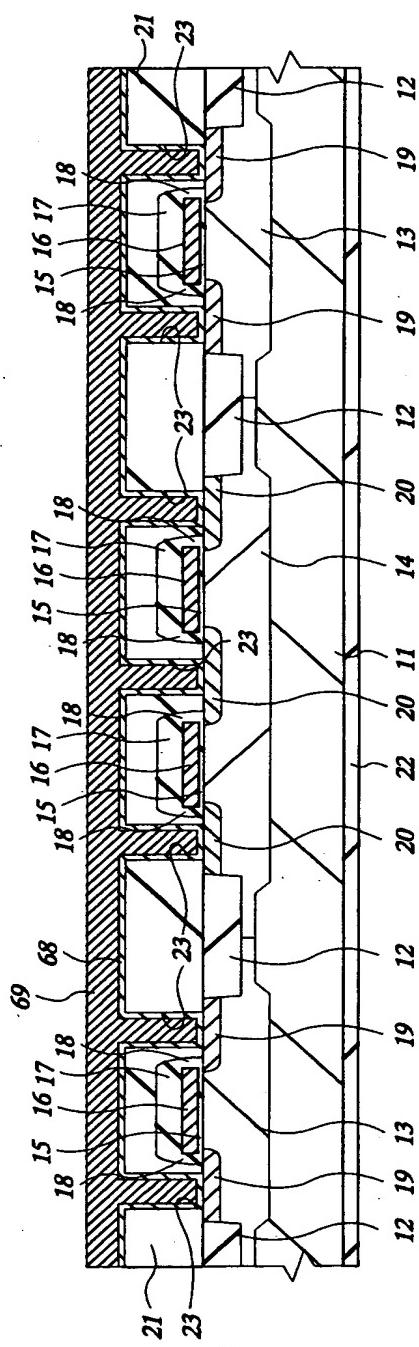
【図31】

図31



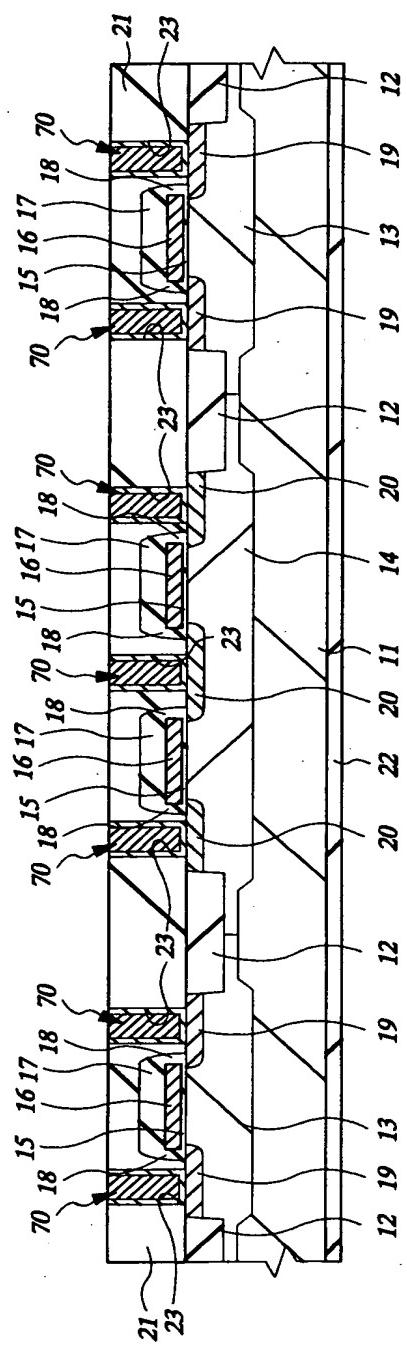
【図32】

32



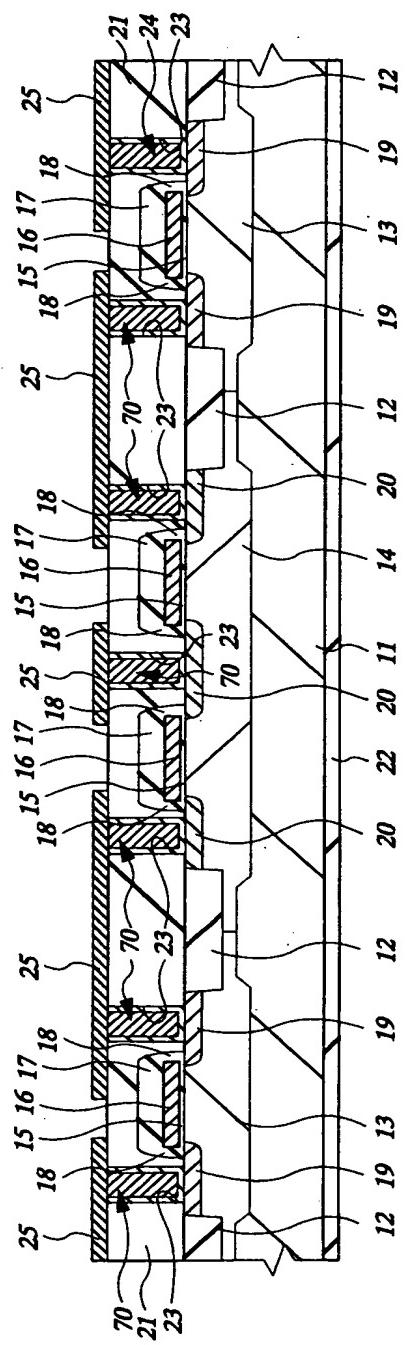
【図33】

図 33



【図34】

図 34



【書類名】 要約書

【要約】

【課題】 プラズマを用いた製造工程における基板へのチャージアップダメージを低減して、半導体装置の信頼性を向上する。

【解決手段】 第1配線層の形成工程の前に基板11の裏面に絶縁膜22を形成することにより、その後の配線形成工程においてプラズマCVD法、スパッタ法またはドライエッチング法を用いても、基板11上に発生した電荷が基板11を通して接地電位へ流れるのを抑えて、チャージアップに起因した基板11へのダメージを防ぐ。

【選択図】 図17

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住所 東京都千代田区神田駿河台4丁目6番地
氏名 株式会社日立製作所

出願人履歴情報

識別番号 [000233505]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都青梅市藤橋3丁目3番地の2
氏 名 日立東京エレクトロニクス株式会社